

3 / Priority
Doc. 2809
E. Vilibio
2-22-02
PATENT
0941-0316P



IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Ming-Dou KER et al. Conf.: 9842
Pl. No.: 09/944,171 Group: UNASSIGNED
Filed: September 4, 2001 Examiner: UNASSIGNED
For: ESD PROTECTION CIRCUIT WITH VERY LOW
INPUT CAPACITANCE FOR HIGH-FREQUENCY
I/O PORTS

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

November 6, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	090105922	March 14, 2001

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

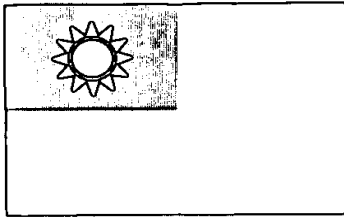
By Joe McKinney Muncy
Joe McKinney Muncy, #32,334

KM/asc
0941-0316P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

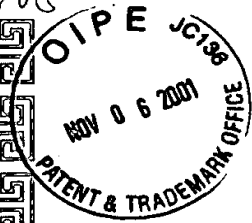
Attachment

091944171
Attorney/DOCK No. 0941-0316 P
Ming-DouKER et al.
Sept. 4, 2001
Birch, Stewart
Kelasch & Birch, LLP



中華民國經濟部智慧財產局(703)205-8000

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請 日：西元 2001 年 03 月 14 日
Application Date

申請 案 號：090105922
Application No.

申請 人：台灣積體電路製造股份有限公司
Applicant(s)

局 長
Director General

陳 明 邦

發文日期：西元 2001 年 10 月 16 日
Issue Date

發文字號：09011015357
Serial No.

3333 3333 3333 3333

103 103

103 103

申請日期:	案號: 90105922
類別:	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	適用於高頻輸出入埠的低電容負載之靜電放電防護電路
	英文	
二、 發明人	姓名 (中文)	1. 柯明道 2. 張恆祥 3. 王文泰
	姓名 (英文)	1. Ming-Dou Ker 2. Hun-Hsien Chang 3. Wen-Tai Wang
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市東區高峰里8鄰寶山路200巷3號4樓之三 2. 台北縣汐止市大同路二段337號 3. 台北市信義區興隆里3鄰基隆路一段350-21號二樓
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：適用於高頻輸出入埠的低電容負載之靜電放電防護電路)

本發明提出一種低輸入電容負載之ESD防護電路，適用於一輸出入接合墊。該ESD防護電路包含有複數之二極體以及一個電源線間ESD防護電路。該等二極體堆疊耦接於一第一電源線與該輸出入接合墊之間。該電源線間ESD防護電路耦接於該第一電源線以及一第二電源線之間。其中，於正常電源操作時，該等二極體係為逆向偏壓，該電源線間ESD防護電路為關閉狀態。於發生在該第二電源線與該輸出入接合墊之間的一ESD事件時，該等二極體係為正向偏壓，該電源線間ESD防護電路係為開啟狀態，以導通ESD電流。本發明之ESD防護電路之等效輸入電容相當的小，特別適用於高頻或是高速IC的輸出入埠。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

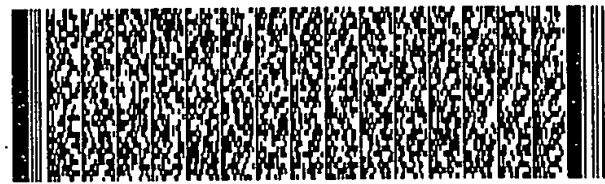
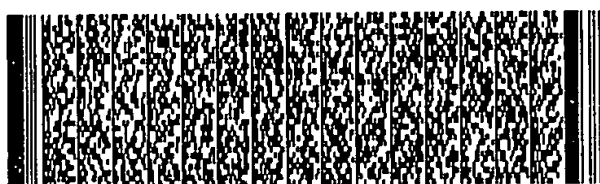
五、發明說明 (1)

本發明係有關於一種低電容負載的靜電放電 (electrostatic discharge, ESD) 防護電路，尤指一種適用於高頻輸出入埠的ESD防護電路。

隨著積體電路(integrated circuit, IC)的製程進步，金氧半電晶體(metal-oxide-semiconductor transistor, MOS)的閘氧化層也越來越薄，同時也越容易遭受不預期的ESD應力而損害。因此，為了IC的可靠度，如何在輸出入埠或是電源線間設置有效的ESD防護電路，防止IC內部的元件蒙受ESD損害，便成為一個非常重要的課題。

第1(a)圖為一傳統的，以兩個二極體構成的ESD防護電路，設於一輸入接合墊10與內部電路12之間。P型二極體 D_{p1} 設於VDD與接合墊10之間，N型二極體 D_{n1} 設於VSS與接合墊10之間。第1(b)圖為第1(a)圖的改良型，是一種二級式的ESD防護電路。初級ESD防護電路14以 D_{p1} 與 D_{n1} 所構成，次級ESD防護電路16以 D_{p2} 與 D_{n2} 所構成。第1(a)圖與第1(b)圖中的P型二極體一般是以一個P型重摻雜區20設置於一N型井24中所形成的PN接面所構成，如第2圖所示。第1(a)圖與第1(b)圖中的N型二極體一般是以一個N型重摻雜區28設置於一P型井22中所形成的PN接面所構成，如第3圖所示。而N型井24與P型井22經常是直接與P型基底26相接觸。

一般的輸出入埠之ESD耐受力測試模式可以分成四種，PS、NS、PD以及ND模式，如第4圖所示。以下分別介



五、發明說明 (2)

紹此四種ESD測試模式：

(1) PS模式：一個正的ESD脈衝施加於一受測的IC接腳，且VSS接地，而其他的接腳全部為浮接(floating)狀態；

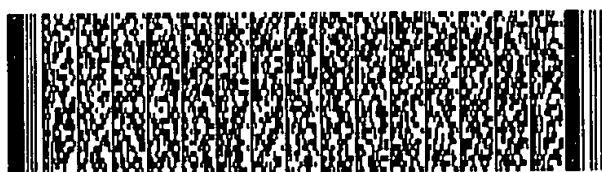
(2) NS模式：一個負的ESD脈衝施加於一受測的IC接腳，且VSS接地，而其他的接腳全部為浮接狀態；

(3) PD模式：一個正的ESD脈衝施加於一受測的IC接腳，且VDD接地，而其他的接腳全部為浮接狀態；以及

(4) ND模式：一個負的ESD脈衝施加於一受測的IC接腳，且VDD接地，而其他的接腳全部為浮接狀態。

當第1(a)圖以及第1(b)圖中的輸出入接合墊10面對ESD耐受力測試時，會有許多可能發生的問題。於PD(或是NS)模式時， D_{p1} (或是 D_{n1})被順向偏壓以釋放ESD電流。而二極體的順向偏壓在一般CMOS製程下大約為0.8伏特。於PS(或是ND)模式時， D_{n1} (或是 D_{p1})被逆向偏壓而崩潰以釋放ESD電流。而崩潰時，二極體的逆向偏壓在-0.35微米之CMOS製程下大約為10伏特。二極體所消耗的功率為 $I_{diode} * V_{diode}$ ，其中 I_{diode} 為流經二極體的電流，而 V_{diode} 為二極體的跨壓。由以上可知，二極體工作於崩潰狀態時的消耗功率將會遠大於順向偏壓時的消耗功率。因此， D_{p1} 與 D_{n1} 的設計重點便是如何使 D_{p1} (D_{n1})於ND(PS)模式時可以有效排放ESD電流，而且又不會燒毀自己。

為了達到商業規格中的人體靜電效應模式(human body mode, HBM)的 ± 2 千伏特之需求， D_{p1} 與 D_{n1} 一般都會

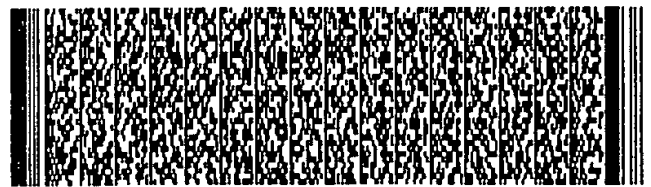
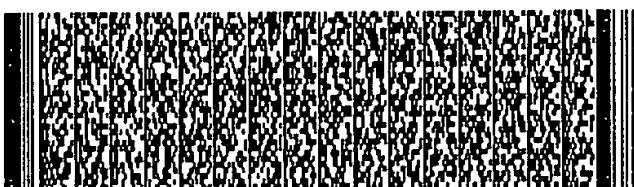


五、發明說明 (3)

設計為大尺寸元件，元件佈局寬度(device width)可能高達數百微米。利用大尺寸元件有大體積散熱的好處，來防止 D_{p1} 或 D_{n1} 於ESD事件發生時燒毀。

然而大尺寸元件對輸出入埠卻會造成大負載的問題。第5圖為寄生電容加入第1(a)圖後的等效電路圖。由小信號電路分析可知，第1(a)圖中的接合墊10看進去的輸入等效電容 C_{input} 大約等於 $C_{pad} + C_{jp} + C_{jn}$ ；其中， C_{pad} 為構成接合墊的一大片金屬與四周的導體所形成的寄生電容值， C_{jp} 為 D_{p1} 之PN接面的寄生電容值(如第2圖所示)， C_{jn} 為 D_{n1} 之PN接面的寄生電容值(如第3圖所示)。一般而言，一個帶有100微米*100微米的金屬片之接合墊大約有0.5pF的寄生電容值。而元件寬度高達數百微米的 D_{p1} (或是 D_{n1})之寄生電容值大約2~4pF。粗略的計算，輸入等效電容 C_{input} 大約為5pF，其中大部分是由 D_{p1} 或 D_{n1} 所貢獻。而如此高的輸入電容，將會降低輸出入埠於高頻時的反應速度。特別是對於高頻IC或是高速IC而言，輸出入埠的負載是越小越好。因此，第1(a)圖與第1(b)圖的設計，是不適用於高頻或是高速IC。

而且，對於以電流作為輸入信號或是高頻的輸出入埠而言，多串聯一個電阻，如第1(a)圖以及第1(b)圖中的R，會產生非線性的頻率響應以及熱雜訊(thermal noise)干擾問題，使得輸入信號扭曲，因此是不被允許的。在此限制下，第1(a)圖以及第1(b)圖的傳統ESD防護電路是無法適用於高頻IC中。因此，如何設計一個符合高速IC的需



五、發明說明 (4)

求並且可以耐受足夠高的ESD應力之ESD防護電路，已成為了ESD設計者的一種挑戰。

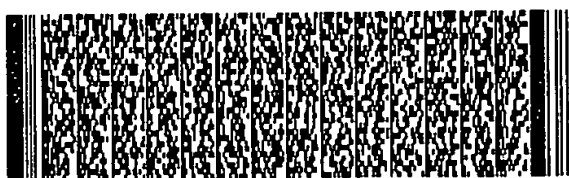
本發明的主要目的，在於提供一種具有高ESD耐受力，但是電容卻較小的ESD防護電路，特別適用於高頻IC的輸出入埠。

根據上述之目的，本發明提出一種低輸入電容負載之ESD防護電路，適用於一輸出入接合墊。該ESD防護電路包含有複數之二極體以及一個電源線間ESD防護電路。該等二極體堆疊耦接於一第一電源線與該輸出入接合墊之間。該電源線間ESD防護電路耦接於該第一電源線以及一第二電源線之間。其中，於正常電源操作時，該等二極體係為逆向偏壓，該電源線間ESD防護電路為關閉狀態。於發生在該第二電源線與該輸出入接合墊之間的一ESD事件時，該等二極體係為正向偏壓，該電源線間ESD防護電路係為開啟狀態，以導通ESD電流。

每一二極體係以一第一導電型之摻雜區設於一第二導電型之第一井區所形成之一PN接面所構成。該第一井區下設有一第一導電型之深井區以與一第二導電型之基材相隔絕。

由於堆疊結構，該等堆疊二極體之等效電容值將會比單一的二極體之寄生電容來的小。所以本發明之一優點為可以有效的大幅減少輸入電容。

本發明之另一優點在於該等二極體是以順向偏壓釋放ESD應力，而非如習知技術中以逆向偏壓釋放ESD應力。因



五、發明說明 (5)

此，每個二極體可以以一較小尺寸元件所構成。可以適當的縮減輸出入埠的所需要的晶片面積，以及更進一步降低輸入電容值。

本發明另一方面提出一種電源線間ESD箝制電路，適用於一積體電路，耦接於二電源線間。該電源線間ESD箝制電路包含有一基底觸發之NMOS元件以及一ESD偵測電路。該NMOS元件包含有一閘極、二源／汲極以及一基極。該二源／汲極分別耦合至該二電源線。當偵測到一ESD事件之發生時，該ESD偵測電路用以提供一偏壓電流予該NMOS元件的基極，以及一偏壓電壓予該NMOS元件的閘極，以觸發該NMOS元件，並釋放一ESD電流。

由於該NMOS元件之閘極以及基極於ESD事件時都同時被偏壓，所以其觸發速度可以被大幅的提昇。如此，該等電源線間之ESD電流可以快速的被釋放，以保護該積體電路中的內部電路。

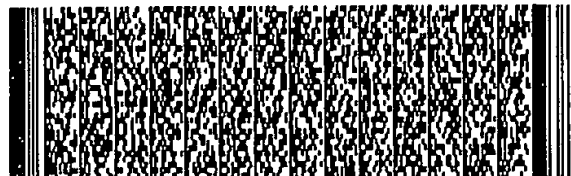
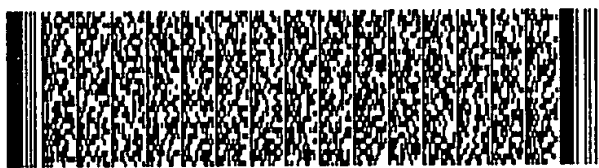
為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1(a)圖為一傳統的，以兩個二極體構成的ESD防護電路；

第1(b)圖為第1(a)圖的改良型，是一種二級式的ESD防護電路；

第2圖為習知的P型二極體之結構剖面示意圖；



五、發明說明 (6)

第3圖為習知的N型二極體之結構剖面示意圖；

第4圖為積體電路進行四種ESD測試的四種腳位連接模式之示意圖；

第5圖為第1(a)圖以及其寄生電容的電路圖；

第6圖為依據本發明之一ESD防護電路圖；

第7圖到第10圖顯示本發明之ESD防護電路於四種不同模式之ESD測試時的ESD電流路徑；

第11圖為本發明所使用的N型二極體結構以及其代表符號；

第12圖為第6圖中的 M_{ESD} 元件之一結構剖面圖以及符號示意圖；

第13圖為第6圖的一種改良後ESD防護電路；

第14圖為依據本發明，以三個二極體堆疊於電源線與接合墊之間的一ESD防護電路圖；

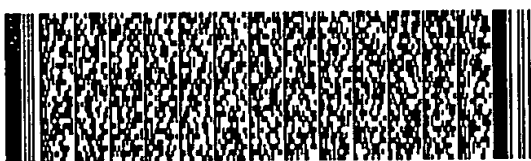
第15圖為以HSPICE模擬後，第5圖、第6圖以及第14圖的輸入等效電容結果示意圖；

第16圖為可以運用於本發明之NMOS與其中寄生於汲極處之N型二極體示意圖；

第17圖為可以運用於本發明之PMOS與其中寄生於汲極處之P型二極體示意圖；以及

第18圖至第25圖為應用NMOS與PMOS所產生之二極體於本發明之ESD防護電路中的八個實施例。

符號說明：



五、發明說明 (7)

10、30 接合墊
12、32 內部電路
20 P型重摻雜區
22 P型井
24 N型井
26 P型基底
28 N型重摻雜區
34 電源線間ESD箝制電路
36 RC延遲電路
38 反向器
40 N+摻雜區
42、58、66 P型井
44、54、70 深N型井
46 P型基底
48、64、72 P+摻雜區
50、56、68 N型井
52、60、62 N+摻雜區

實施例：

為了降低輸入的等效電容，本發明提出一堆疊架構的二極體電路作為ESD防護電路，如第6圖所示。兩個N型二極體(D_{n1} 與 D_{n2})堆疊於接合墊30與電源線VSSA之間。兩個P型二極體(D_{p1} 與 D_{p2})堆疊於接合墊30與VDDA之間。於積體電路正常操作時， D_{p1} 、 D_{p2} 、 D_{n1} 與 D_{n2} 都處於尚未崩潰前的逆



五、發明說明 (8)

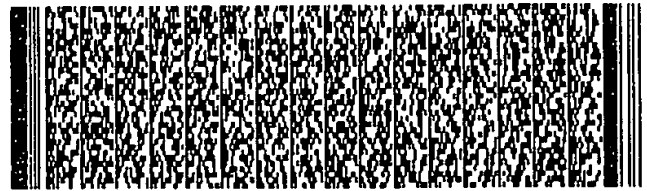
向偏壓，接合墊30的電子信號可以通達內部電路32中。每個二極體的寄生電容分別標示為 C_{jn1} 、 C_{jn2} 、 C_{jp1} 以及 C_{jp2} ，如第6圖所示。由於堆疊結構，所以輸入的等效電容可以被有效的降低。譬如說，假使 $C_{jn1}=C_{jn2}=C_{jn}$ 並且 $C_{jp1}=C_{jp2}=C_{jp}$ ，則輸入等效電容 C_{input} 就僅僅剩下：

$$C_{input} = C_{pad} + (C_{jn} + C_{jp})/2。$$

相較於第5圖傳統的二極體ESD防護電路，第6圖中的ESD防護電路所產生的電容(或是負載)僅僅只有一半。因此，輸入埠的頻率響應特性可以被有效的改善。

但是，兩個堆疊在一起的二極體之崩潰電壓將會是單一一個二極體之崩潰電壓的兩倍。而更高的崩潰電壓意味著內部電路32將會更容易在ESD事件(譬如說ND或是PS模式)中遭受損害。為了確保輸出入埠的ESD耐受力，因此，本發明於VDDA與VSSA之間設置了一個電源線間ESD箝制電路34，如第6圖所示。電源線間ESD箝制電路34包含有電阻R1與電容C1構成一個RC延遲電路36，以 M_{p1} 與 M_{n1} 構成一個反向器(inverter)38，以及一個基底觸發之NMOS元件 M_{ESD} 。RC延遲電路34用來偵測ESD事件的發生，反向器38提供一偏壓電流，用以觸發寄生於 M_{ESD} 元件中的npn雙載子接面電晶體，並釋放ESD電流。 M_{ESD} 的閘極透過電阻R2耦合到VSSA，以確保 M_{ESD} 於非ESD事件時保持在關閉的狀態。

第7圖至第10圖顯示本發明之ESD防護電路於四種不同模式之ESD測試時的ESD電流路徑。第7圖為PS模式測試，ESD電流 I_{ESD} 由接合墊30，透過順向偏壓的 D_{p1} 與 D_{p2} ，流至



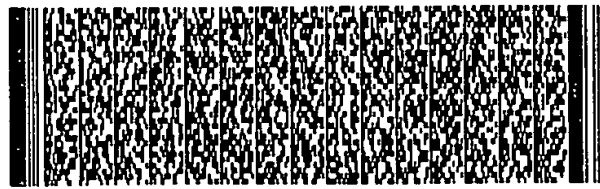
五、發明說明 (9)

VDDA。然後電源線間ESD箝制電路34開啟使 I_{ESD} 由VDDA流至VSSA，最後再由VSSA流出IC之外。第8圖為NS模式測試，ESD電流 I_{ESD} 由VSSA透過順向偏壓的 D_{n1} 與 D_{n2} ，流入接合墊30。第9圖為PD模式，ESD電流 I_{ESD} 由接合墊30透過順向偏壓的 D_{p1} 與 D_{p2} ，流入VDDA。第10圖為ND模式測試，電源線間ESD箝制電路34因ESD而觸發開啟使 I_{ESD} 由VDDA流入VSSA，接著透過順向偏壓的 D_{n1} 與 D_{n2} ， I_{ESD} 由VSSA流入接合墊30。

由以上分析可知，在ESD事件中，堆疊的二極體總是以順向偏壓方式來導通ESD電流，消耗的功率將比崩潰時消耗功率小的多。因此，相較於習知的單一二極體的ESD防護電路，本發明的ESD防護電路之ESD耐受力將可大幅增加。

然而，第3圖中的N型二極體之結構中有一個共用的P型基底26，因此，第3圖中的N型二極體將無法直接的堆疊串聯，達成如同第6圖中之 D_{n1} 與 D_{n2} 的連結電路。

為了達到第6圖的堆疊二極體電路，本發明另提出一種N型二極體結構，如第11圖所示。第11圖為本發明所使用的N型二極體結構以及其代表符號。本發明所使用之N型二極體結構包含有一N+摻雜區40，設於一P型井42中。N+摻雜區40作為N型二極體的陰極。P型井42與其上的P+摻雜區48作為N型二極體的陽極。整個N型二極體被N型井50以及深N型井44所包圍，以使P型井42與P型基底46相隔離。而N型井50與深N型井44透過N+摻雜區52耦合到VDDA。深N型井的結構曾經在射頻(radio frequency)IC或是動態隨

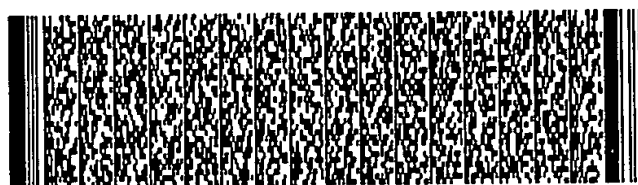
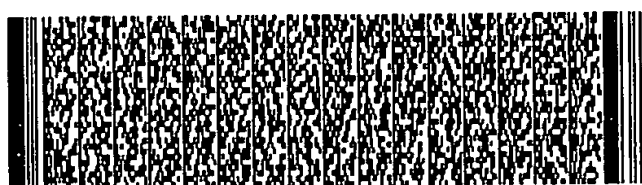


五、發明說明 (10)

機存取記憶體(DRAM)IC所使用，一般是用來將放置NMOS的P型井與P型基底相隔離，防止雜訊透過P型基底而相互干擾。利用被隔離的P型井中的N型二極體，第6圖中的堆疊二極體電路便可以實現。

第6圖中的基底觸發之NMOS元件 M_{ESD} 也可以使用深N井區來隔絕其所在的P型井與P型基底46。第12圖為第6圖中的 M_{ESD} 之一結構剖面圖以及其符號示意圖。N型井56與深N型井54將P型井58與P型基底46相隔絕。 M_{ESD} 形成於P型井58中。 M_{ESD} 的源極與汲極分別是N+摻雜區62與60；其基極為P型井58，透過P+摻雜區64作為接觸點。如此，第6圖中反向器38之輸出端可以藉由偏壓P型井58以控制寄生之npn電晶體(由N+摻雜區60、P型井58以及N+摻雜區62所構成)的開關。因為深N型井54的隔絕，由反向器38來的觸發電流不會被分流到P型基底46，因此可以加速 M_{ESD} 的開啟速度。

第13圖為第6圖的一種改良後ESD防護電路。為了加速電源線間ESD箝制電路34的開啟速度，可以適當的在 M_{ESD} 的閘極上施加偏壓。於第13圖中，反向器38不只是提供 M_{ESD} 的基極偏壓電流，而且提供了 M_{ESD} 的閘極偏壓電壓。為了避免閘極的電壓偏壓過大而損害 M_{ESD} ，複數個二極體 $D_{R1} \cdots D_{R4}$ 堆疊於 M_{ESD} 之閘極與VSSA之間。 $D_{R1} \cdots D_{R4}$ 可以箝制 M_{ESD} 閘極的最大電壓。當ESD事件發生時，反向器38一方面提供寄生的npn雙接面電晶體的基極電流，一方面將 M_{ESD} 之閘極拉高至 $D_{R1} \cdots D_{R4}$ 的箝制電壓。至於堆疊於 M_{ESD} 之閘極與VSSA之間的二極體數目則視不同的應用場合可以有不同的數目，



五、發明說明 (11)

並不限制於4個。另一種避免閘極的電壓偏壓過大之方法是在閘極與VSSA之間耦接上一個基鈉二極體(未顯示)，以取代複數個堆疊之二極體 $D_{R1} \cdots D_{R4}$ 。當一ESD事件發生時，基鈉二極體被逆向偏壓而進入崩潰狀態，利用基鈉二極體之固定的崩潰電壓限制了閘極的電壓偏壓大小，達到保護的目的。

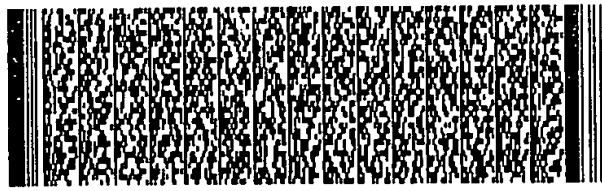
一旦電源線間ESD偵測電路34的開啟速度加快了，堆疊於電源線(VDDA或是VSSA)與接合墊30之間之二極體數目便可以更為增加，以獲得一個更小的輸入等效電容。第14圖為依據本發明，以三個二極體堆疊於電源線與接合墊之間的一ESD防護電路圖。三個N型二極體(D_{n1} 、 D_{n2} 與 D_{n3})堆疊於接合墊30與VSSA之間；三個P型二極體(D_{p1} 、 D_{p2} 與 D_{p3})堆疊於接合墊30與VDDA之間。如果每個N型二極體都有相同的寄生電容值 C_{jn} ，每個P型二極體都有相同的寄生電容值 C_{jp} ，則第14圖中的輸入等效電容為：

$$C_{input} = C_{pad} + (C_{jp} + C_{jn})/3。$$

可見，當堆疊的二極體數目越多時，輸入等效電容也就越低。而如此低的輸入等效電容之輸出入埠，正是高速IC或是高頻IC所需要的。

本發明之主要精神在於以堆疊的二極體降低輸入有效電容，並以一個電源線間ESD箝制電路解決了因為二極體堆疊所造成高崩潰電壓的問題。

第15圖為以HSPICE模擬後，第5圖、第6圖以及第14圖的輸入等效電容結果示意圖，其中VDDA為3V，VSSA為接

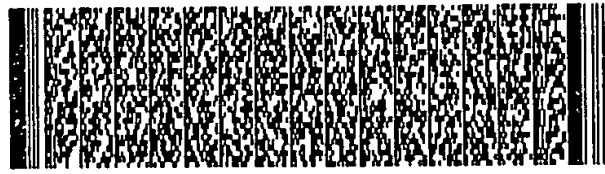
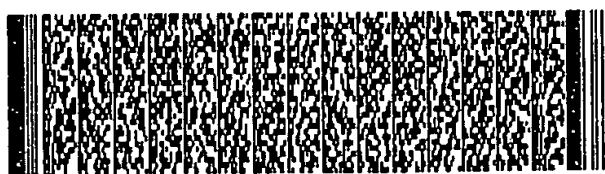


五、發明說明 (12)

地。輸入等效電容值並不因接合墊上電壓變化而有太大的影響，大致上可說是一個定值。由第15圖中可知，一個單一二極體之ESD防護電路(如第5圖所示)的輸入等效電容大約為3pF。兩個堆疊的二極體之ESD防護電路(如第6圖所示)的輸入等效電容大約為1.5pF。三個堆疊的二極體之ESD防護電路(如第14圖所示)的輸入等效電容將會低到0.5pF左右。由此可見增加堆疊二極體之數目對減少輸入等效電容的效果。

本發明中的二極體並不限於第11圖中的結構，只要可以堆疊之二極體就可以。譬如說，一些可以運用的二極體有P型二極體、N型二極體、NMOS二極體、PMOS二極體、寄生在NMOS之汲極處的N型二極體、或是寄生在PMOS之汲極處的P型二極體。其中，NMOS(或PMOS)二極體指的是一NMOS(或PMOS)，其閘極與源極相連作為陽極(或陰極)，其汲極作為陰極(或陽極)。彼此之間不同的二極體可以相互取代。

第16圖為可以運用於本發明之NMOS與其中寄生於汲極處之N型二極體示意圖。一般NMOS的汲極為一N+摻雜區64，其基極為一P型井66，P型井66與其他的P型井(未顯示)之間以N型井68與深N型井70相隔離，其中汲極與基極之間的PN接面也是一個N型二極體，可以適用於本發明。NMOS之閘極可以耦合至電路中的電源線VSSA以使NMOS於正常操作時呈現關閉狀態；或是耦合至自己的源極，以額外形成一NMOS二極體。兩者均可適用於本發明。



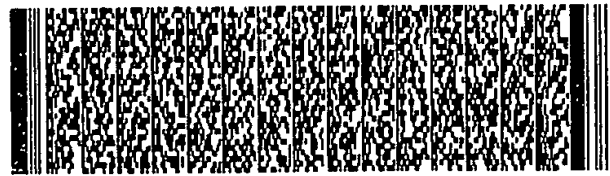
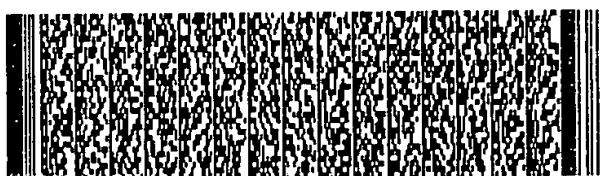
五、發明說明 (13)

第17圖為可以運用於本發明之PMOS與其中寄生於汲極處之P型二極體示意圖。相同的道理，PMOS的汲極為一P+摻雜區72，其基極為一N型井74，N型井74與其他的N型井（未顯示）之間以P基底46相隔離，汲極與基極之間的接面也是一個P型二極體。其中，PMOS之閘極可以耦合至電路中的最高電壓VDDA以使PMOS於正常操作時呈現關閉狀態；或是耦合至自己的源極，以額外形成一PMOS二極體。兩者均可適用於本發明。

第18圖至第25圖為應用NMOS與PMOS中之汲極至基極間的接面二極體於本發明之ESD防護電路中的實施例。第18圖中， MD_{p3} 的連結表示了兩種二極體的並聯組合。其一為PMOS二極體（因其閘極耦合至其源極），另一為P型二極體（因其基極與源極耦合），因此可以大幅提昇其電流導通能力。相同的道理， MD_{n3} 的連結表示了兩種二極體的並聯組合。其一為NMOS二極體（因其閘極耦合至其源極），另一為N型二極體（因其基極與源極耦合）。

第19圖中使用了兩個PMOS(MD_{p2} 與 MD_{p3})以及兩個NMOS(MD_{n2} 與 MD_{n3})來作為二極體。 MD_{p2} 與 MD_{p3} 的閘極均連接到VDDA。 MD_{n2} 與 MD_{n3} 的閘極均連接到VSSA。

堆疊二極體的順序可以任意的變化，並沒有一定的要求。第18圖與第19圖中，作為二極體的NMOS或PMOS均放置於最靠近電源線(VDDA或VSSA)的位置。第20圖與第21圖為兩種不同的排列順序之實施例。其中，於第20圖與第21圖中， MD_{p1} 之閘極連接自己的源極，但也可以連接至VDDA。



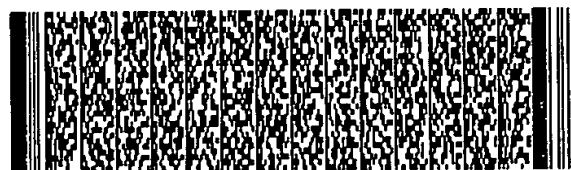
五、發明說明 (14)

MD_{n1} 之閘極連接自己的源極，但也可以連接至VSSA。

第22圖與第23圖為以堆疊三種不同的二極體實施本發明的兩種ESD防護電路示意圖，其中堆疊於VDDA與接合墊之間的二極體種類包含有一般的N型或P型二極體、NMOS所產生的二極體以及PMOS所產生的二極體。當然的，本發明之ESD防護電路中的堆疊二極體電路也可以完全的使用PMOS或是NMOS所產生的二極體來實施，如第24圖與第25圖所示。

相較於習知以單一個二極體設於接合墊與電源線之間的ESD防護電路，本發明以複數個二極體堆疊於電源線與接合墊之間。如此，可以達到大幅降低輸入等效電容值的目的。另一方面，本發明以電源線間的ESD防護電路解決了堆疊二極體可能降低輸出入埠ESD耐受力之問題，因此，本發明之ESD防護電路特別適用於高頻或高速IC的輸出入埠。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種低輸入電容負載之靜電放電(electrostatic discharge, ESD)防護電路，適用於一輸出入接合墊，包含有複數之二極體，堆疊耦接於一第一電源線與該輸出入接合墊之間，其中，於正常電源操作時，該等二極體係為逆向偏壓，於發生於一第二電源線與該輸出入接合墊之間的一ESD事件時，該等二極體係為正向偏壓以導通ESD電流。

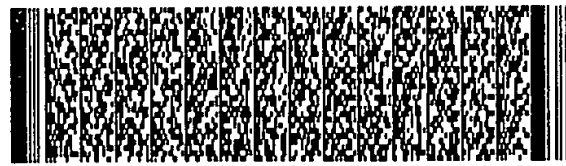
2. 如專利申請範圍第1項之ESD防護電路，其中，每一二極體係以第一導電型之一摻雜區設於第二導電型之一第一井區所形成之一PN接面所構成，該第一井區下設有第一導電型之一深井區以與第二導電型之一基材相隔絕。

3. 如專利申請範圍第2項之ESD防護電路，其中，該第一井區係被第一導電型之一第二井區所環繞。

4. 如專利申請範圍第2項之ESD防護電路，其中，該第一導電型係為N型，該第二導電型係為P型。

5. 如專利申請範圍第1項之ESD防護電路，其中，該ESD防護電路另包含有一電源線間ESD箝制電路，設於該第一電源線與該第二電源線之間，其中，當該ESD事件發生時，該電源線間ESD箝制電路係開啟以導通該ESD電流。

6. 如專利申請範圍第5項之ESD防護電路，其中，該電源線間ESD箝制電路包含有一基底觸發之第一導電型MOS，該MOS包含有二源/汲極以及一基極，該二源/汲極分別耦合至該第一電源線以及該第二電源線，於該ESD事件發生時，該基極係被施以適當的電流偏壓，以觸發寄生於該



六、申請專利範圍

MOS 中的一雙接面接面電晶體，來排放該ESD電流。

7. 如專利申請範圍第6項之ESD防護電路，其中，該MOS包含有一閘極，於正常電源操作時，被施以一適當的電壓偏壓，以維持該MOS為關閉狀態。

8. 如專利申請範圍第6項之ESD防護電路，其中，於該ESD事件時，該閘極係被施以另一適當電壓偏壓，以加速開該MOS的開啟。

9. 如專利申請範圍第6項之ESD防護電路，其中，該MOS係形成於一第二導電型之第一井區中，且該第一井區下設有一第一導電型之深井區以與一第二導電型之基材相隔絕。

10. 如專利申請範圍第9項之ESD防護電路，其中，該第一井區係被第一導電型之一第二井區所環繞。

11. 如專利申請範圍第5項之ESD防護電路，其中，該電源線間ESD箝制電路包含有一ESD偵測電路，用以偵測該ESD事件的發生，並觸發該電源線間ESD箝制電路。

12. 如專利申請範圍第1項之ESD防護電路，其中，該等二極體包含有一MOS二極體，該MOS二極體之一閘極係耦合至該MOS二極體之一源/汲極。

13. 如專利申請範圍第1項之ESD防護電路，其中，該等二極體包含有一PN接面二極體，係以一MOS中之一汲極與一源極之間的一PN接面所構成。

14. 如專利申請範圍第13項之ESD防護電路，其中，該MOS之閘極係耦合至該第一電源線。



六、申請專利範圍

15. 如專利申請範圍第13項之ESD防護電路，其中，該MOS之閘極係耦合至該該MOS之一源極。

16. 如專利申請範圍第13項之ESD防護電路，其中，該MOS係為PMOS。

17. 如專利申請範圍第13項之ESD防護電路，其中，該MOS係為NMOS。

18. 一種電源線間ESD箝制電路，適用於一積體電路，耦接於二電源線間，包含有：

一基底觸發之MOS元件，包含有：

一閘極；

二源／汲極，分別耦合至該二電源線；以及

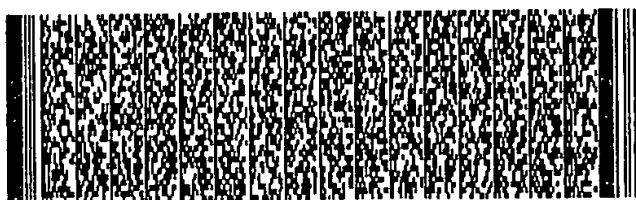
一基極；以及

一ESD偵測電路，當偵測到一ESD事件之發生時，用以提供一偏壓電流予該MOS元件的基極，以及一偏壓電壓予該MOS元件的閘極，以觸發該MOS元件，並釋放一ESD電流。

19. 如專利申請範圍第18項之電源線間ESD箝制電路，其中，該電源線間ESD箝制電路另包含有一電壓箝制電路，耦接於該閘極以及該二電源線其中之一間，用以限制該偏壓電壓的大小。

20. 如專利申請範圍第19項之電源線間ESD箝制電路，其中，該電壓箝制電路係以一二極體所構成，當該ESD事件發生時，該二極體係被順向偏壓。

21. 如專利申請範圍第20項之電源線間ESD箝制電路，



六、申請專利範圍

其中，該電壓箝制電路係以複數之二極體所構成，當該ESD事件發生時，該等二極體係被順向偏壓。

22. 如專利申請範圍第19項之電源線間ESD箝制電路，其中，該電壓箝制電路係以一基鈉二極體所構成，當該ESD事件發生時，該基鈉二極體係以一逆向崩潰電壓箝制該偏壓電壓。

23. 如專利申請範圍第18項之電源線間ESD箝制電路，其中，該二電源線係為一高電壓電源線以及一低電壓電源線，該MOS元件係為一NMOS元件。

24. 如專利申請範圍第18項之電源線間ESD箝制電路，其中，該ESD偵測電路包含有：

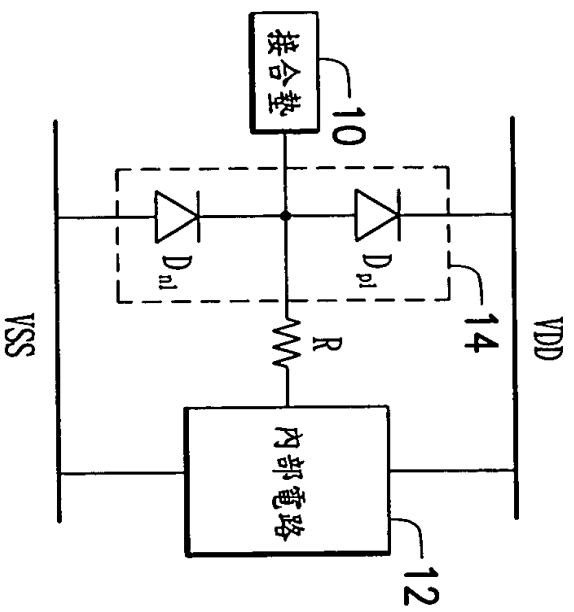
一電阻電容電路(RC-based circuit)，用以偵測該ESD事件的發生；以及

一驅動器(driver)，受控於該電阻電容電路，用以驅動該MOS元件之閘極以及基極。

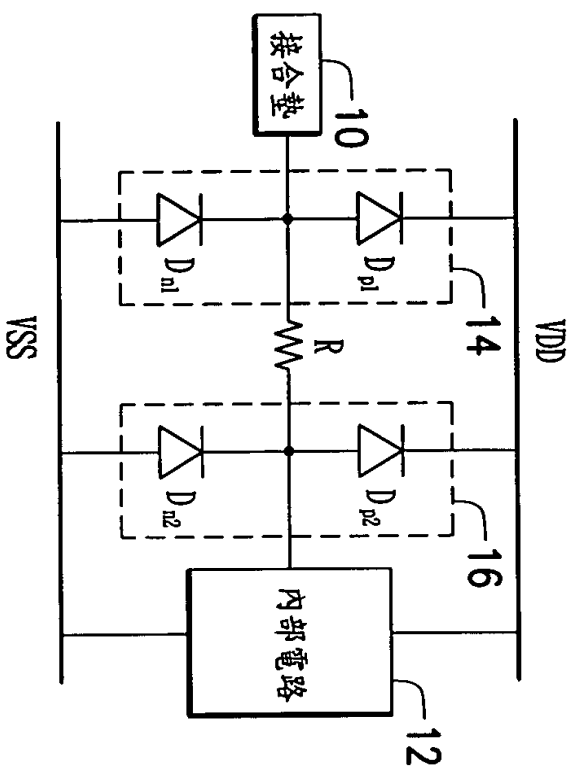
25. 如專利申請範圍第24項之電源線間ESD箝制電路，其中，該電阻電容電路包含有一電阻以及一電容，串接於該二電源線之間。

26. 如專利申請範圍第24項之電源線間ESD箝制電路，其中，該驅動器包含有一反相器，具有一輸出，耦接至該MOS元件之該閘極以及該基極。

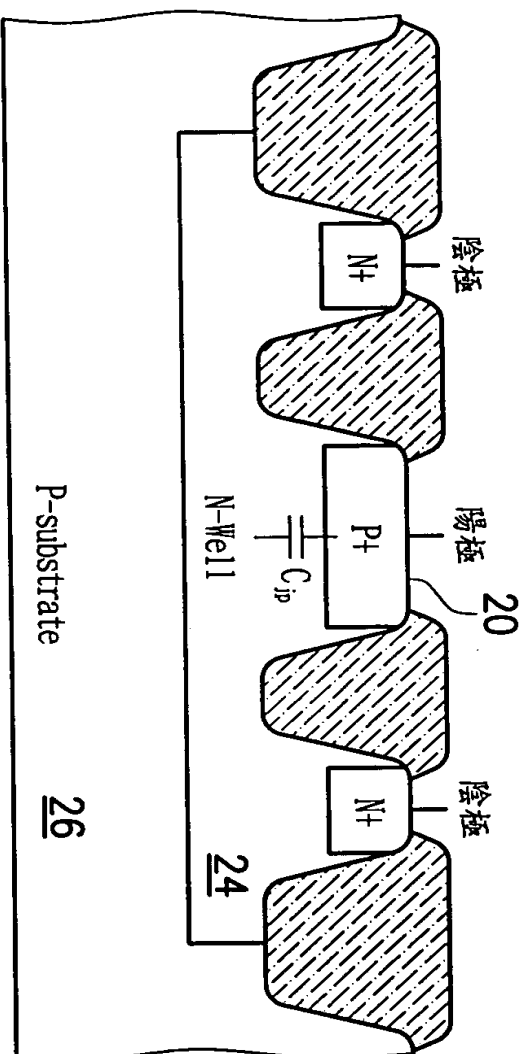




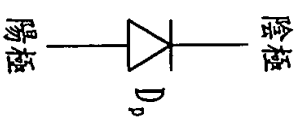
第1a圖



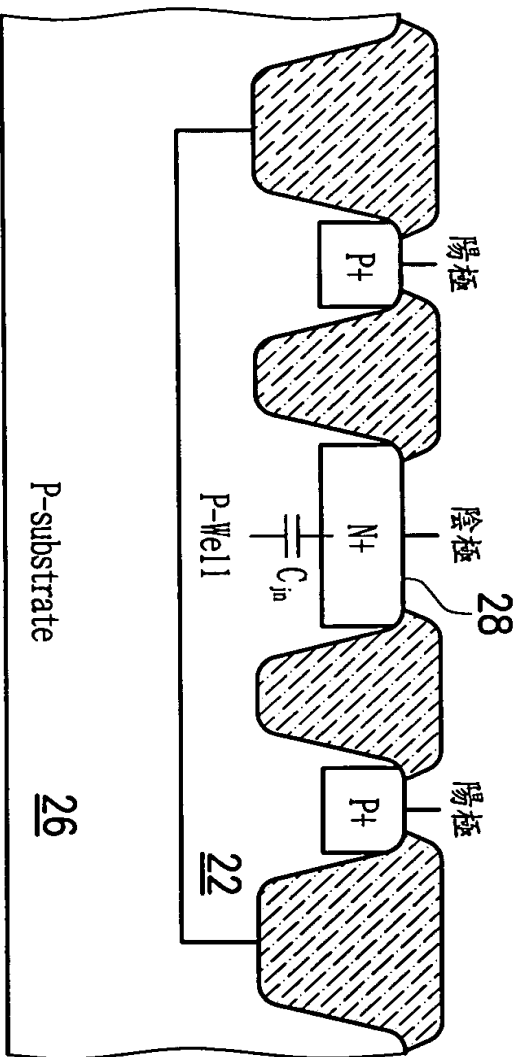
第1b圖



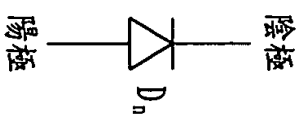
≡



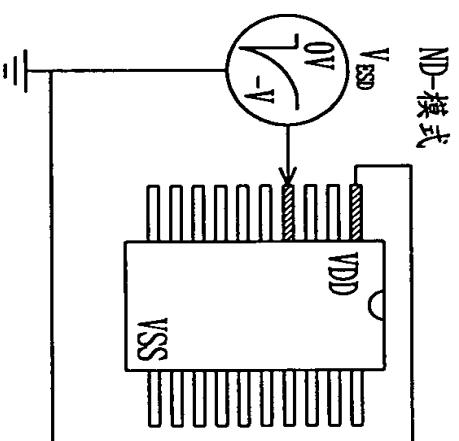
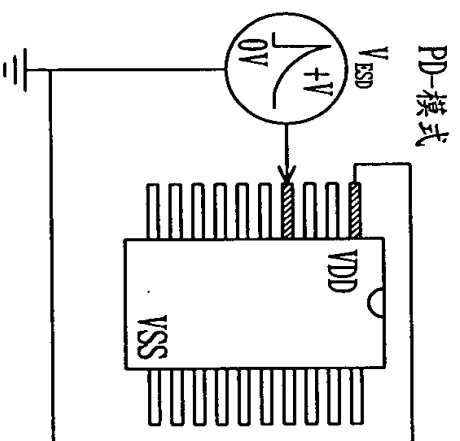
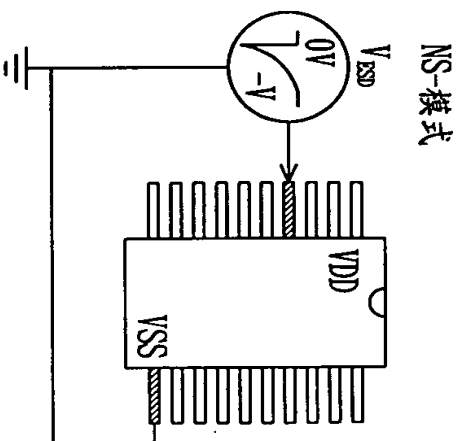
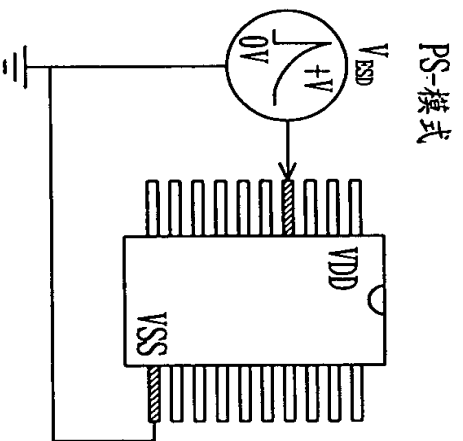
第 2 圖



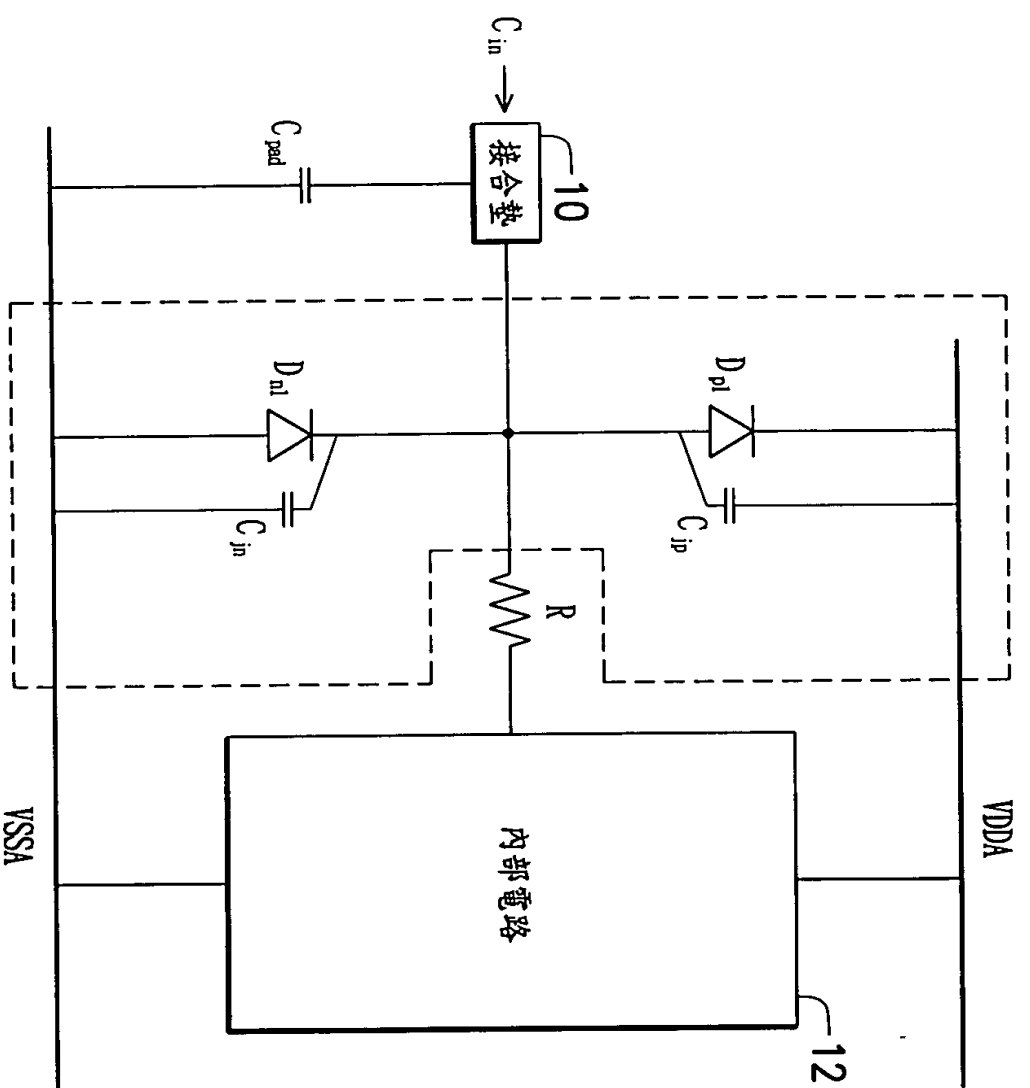
≡



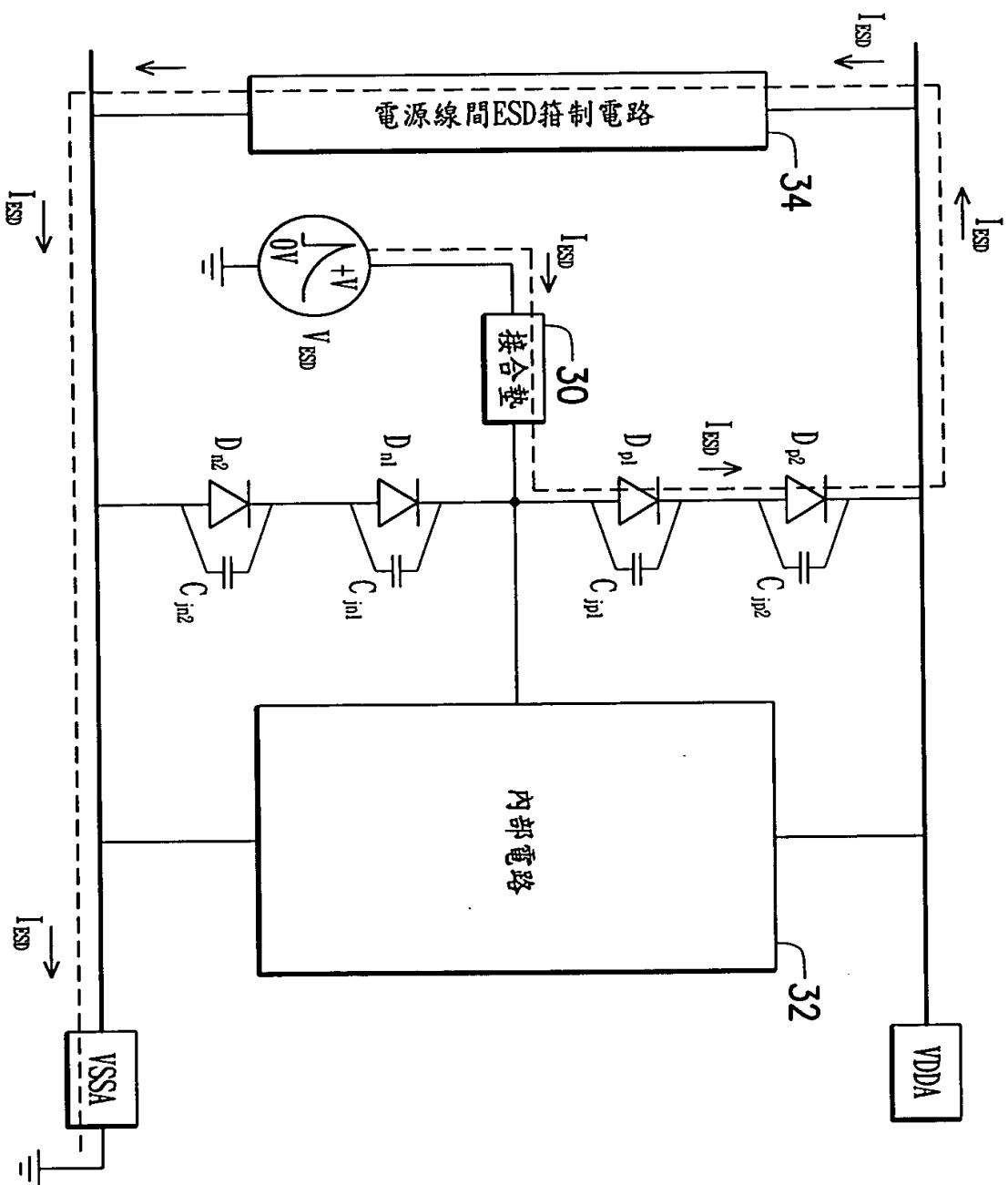
第 3 圖



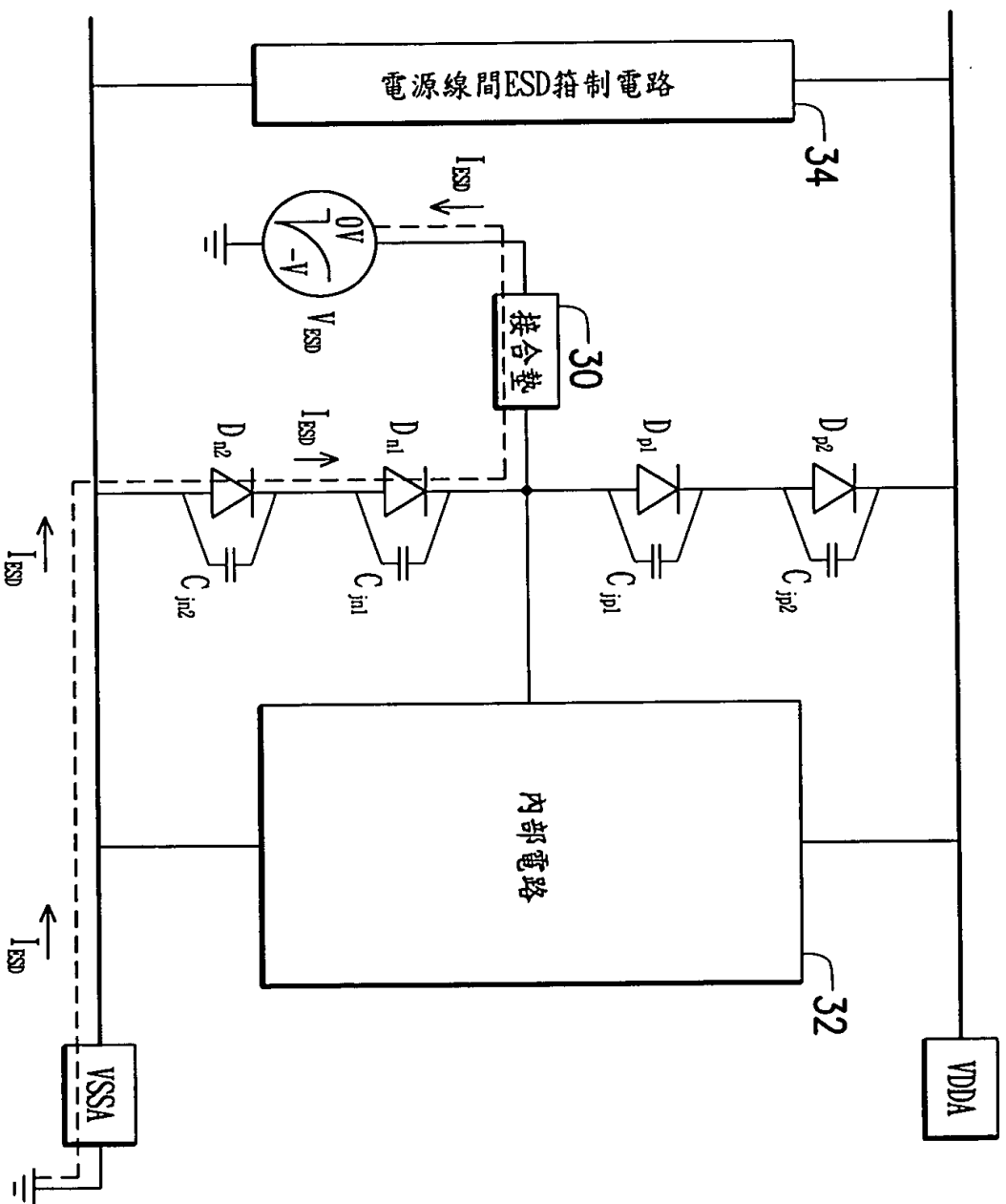
第 4 圖



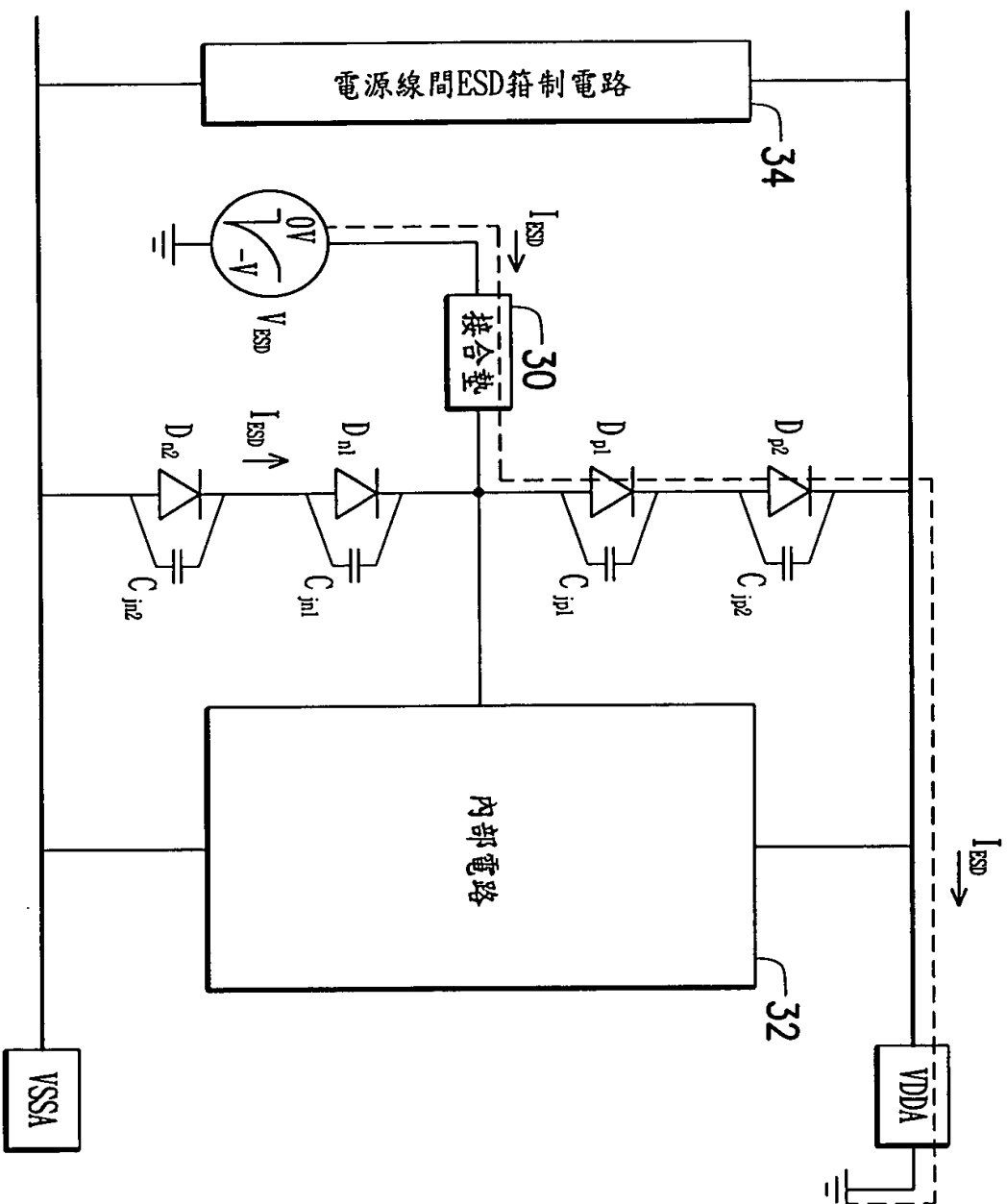
第 5 圖



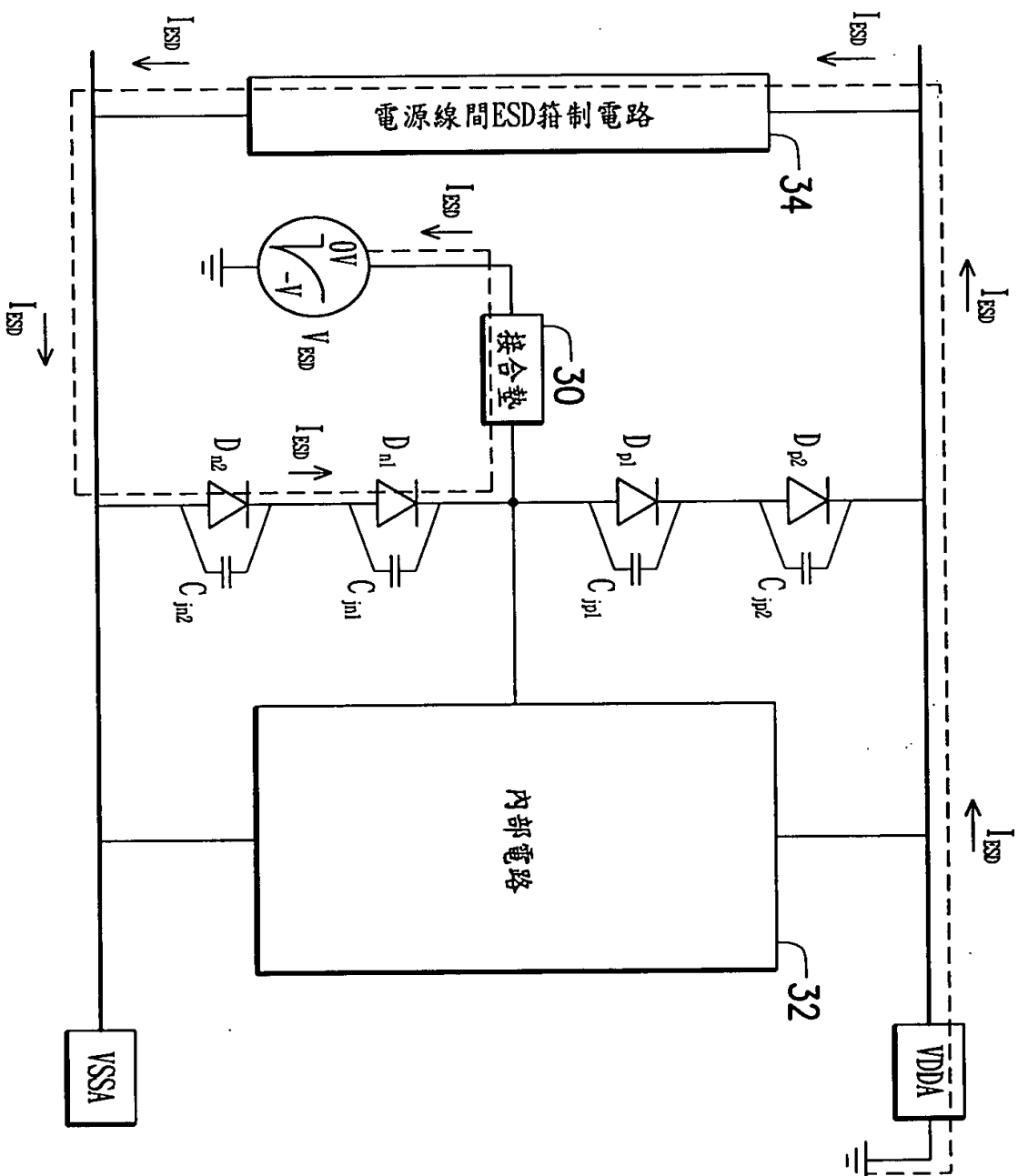
第7圖



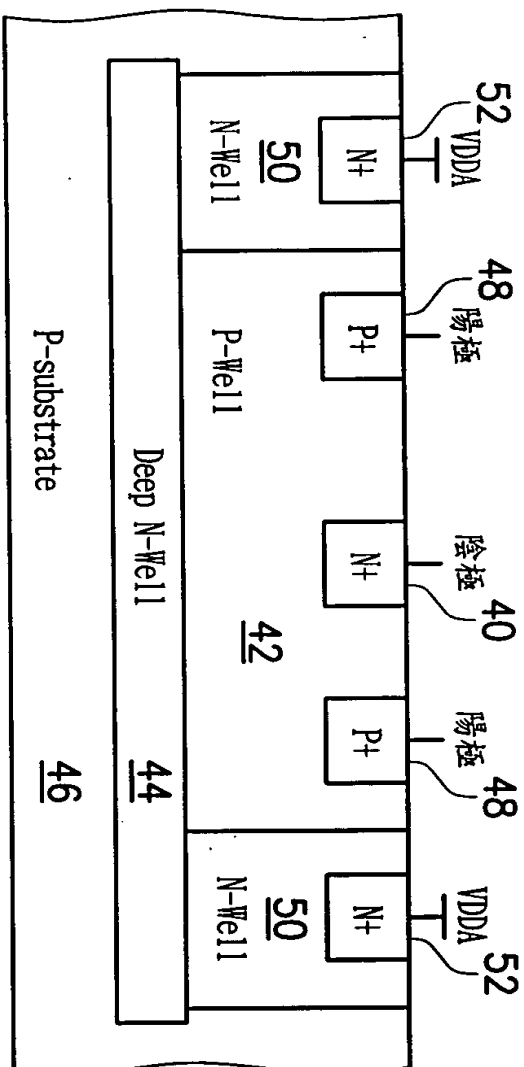
第 8 圖



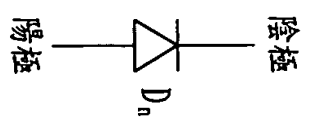
第 9 圖



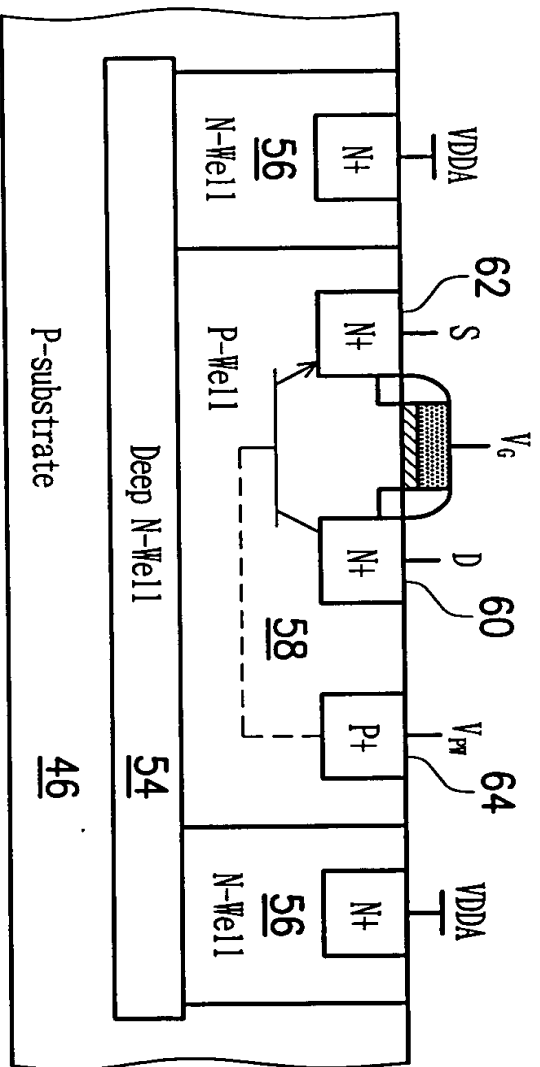
第10圖



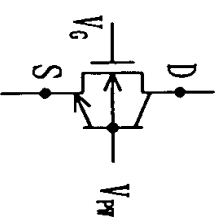
≡



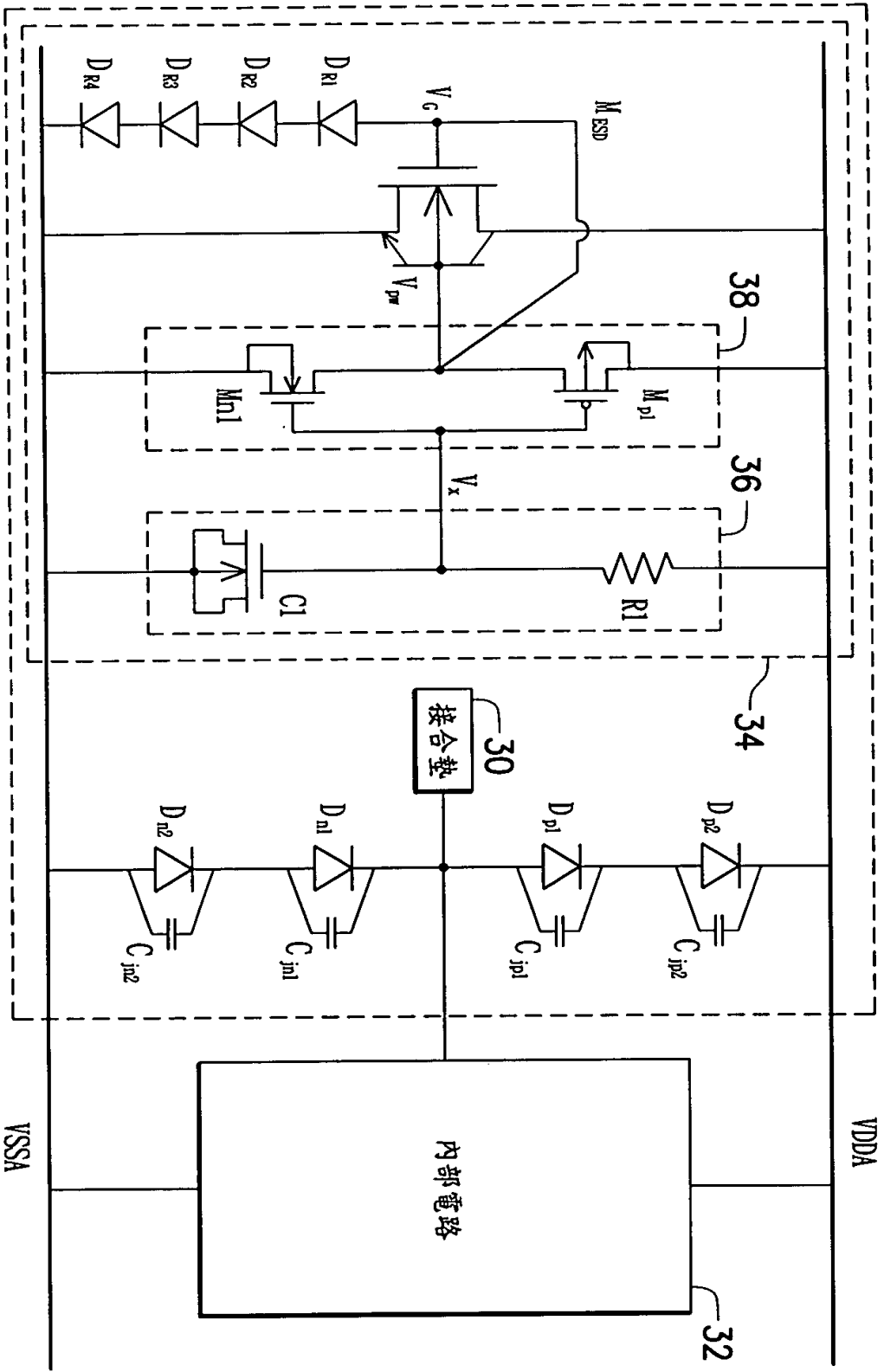
第11圖



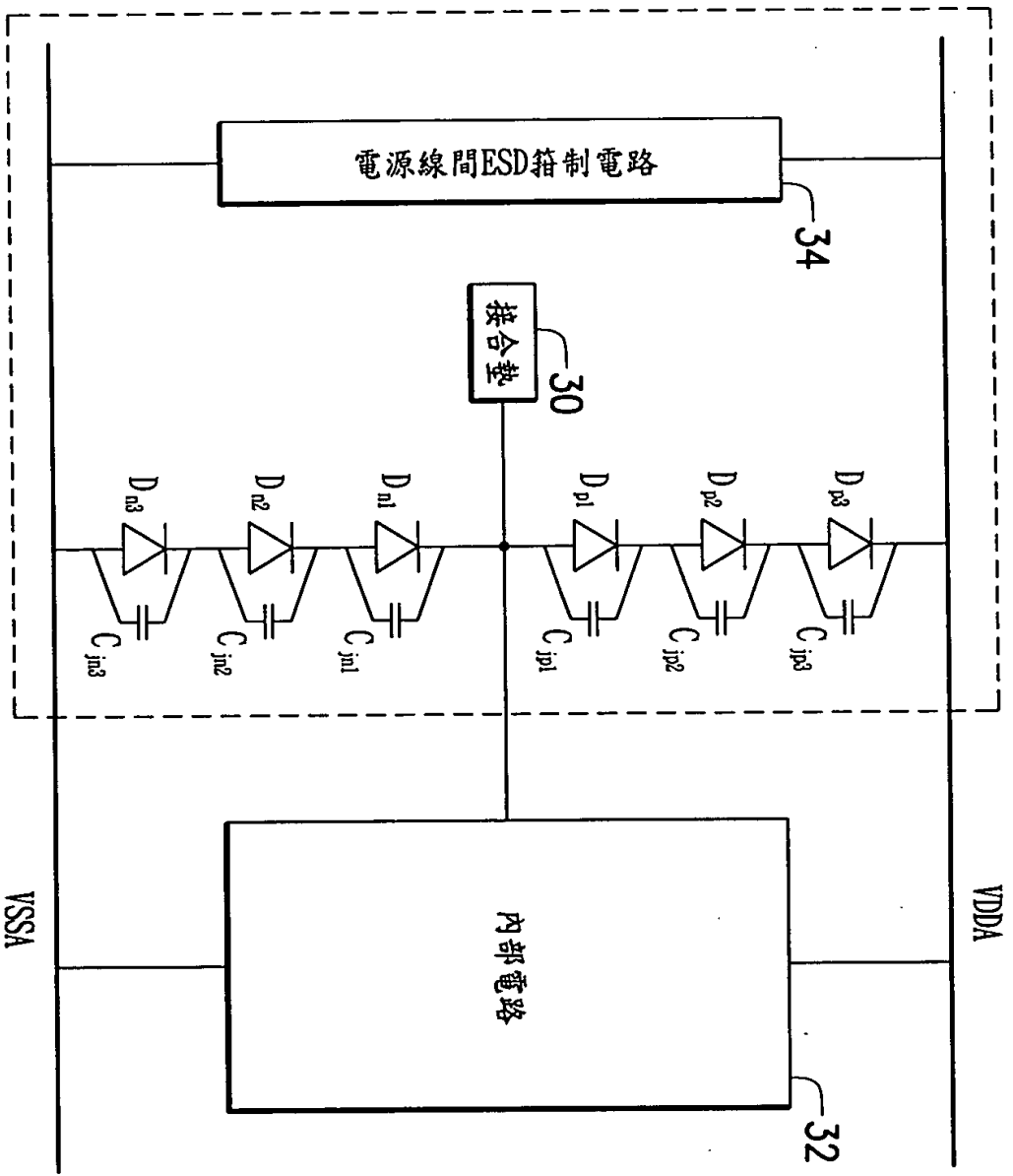
≡



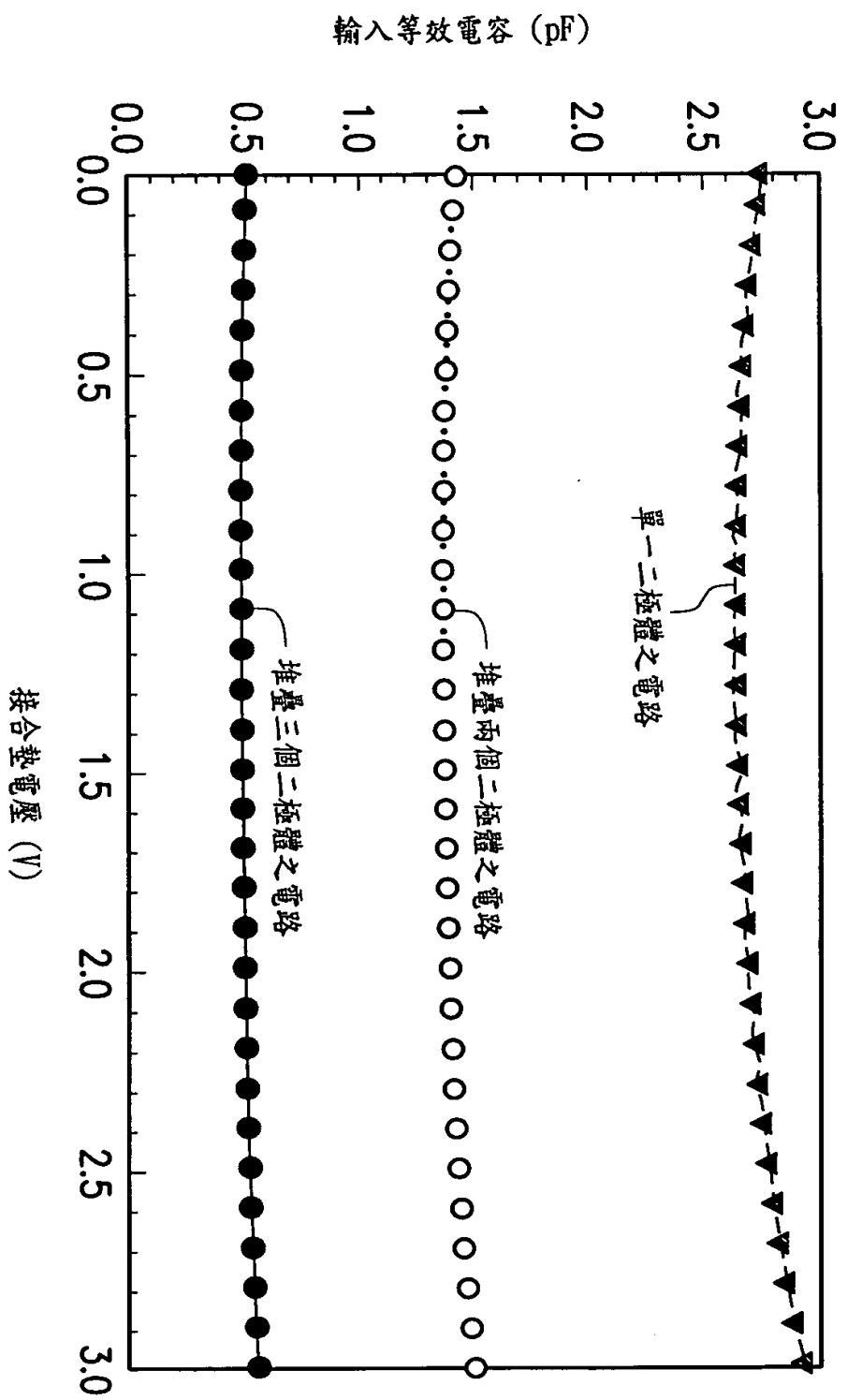
第12圖



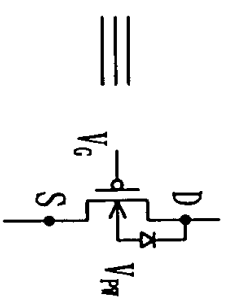
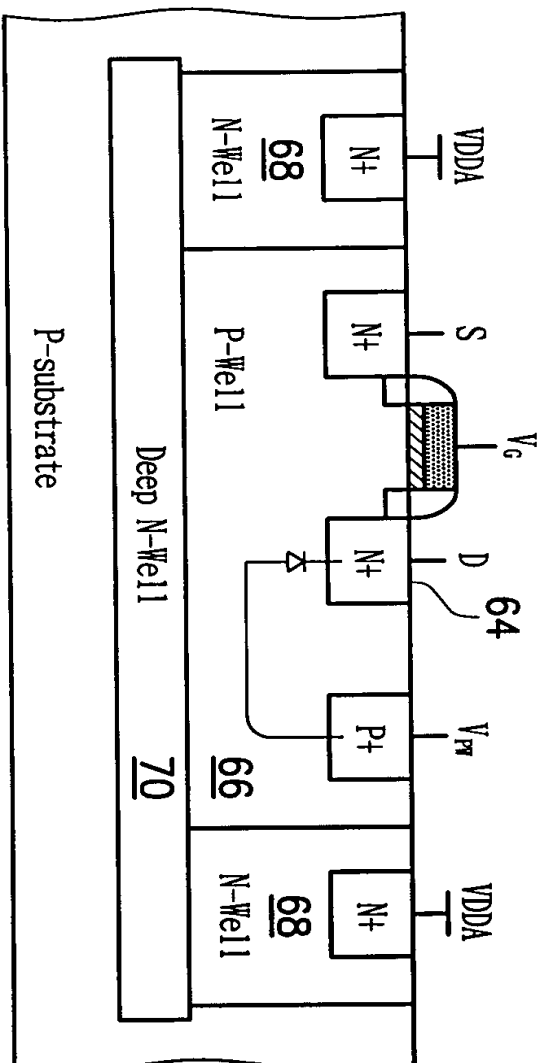
第13圖



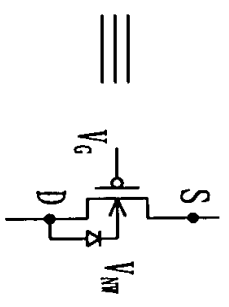
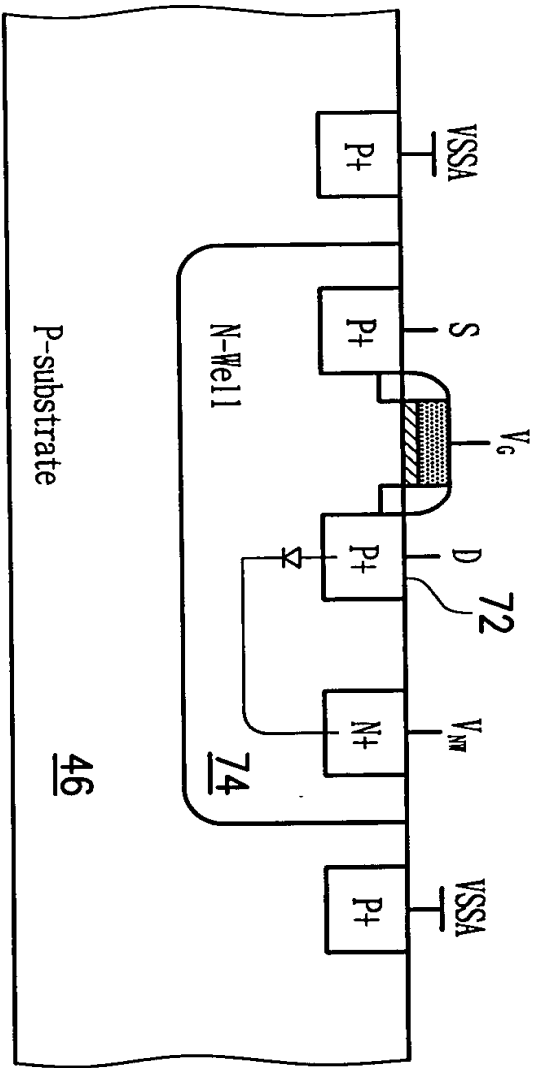
第14圖



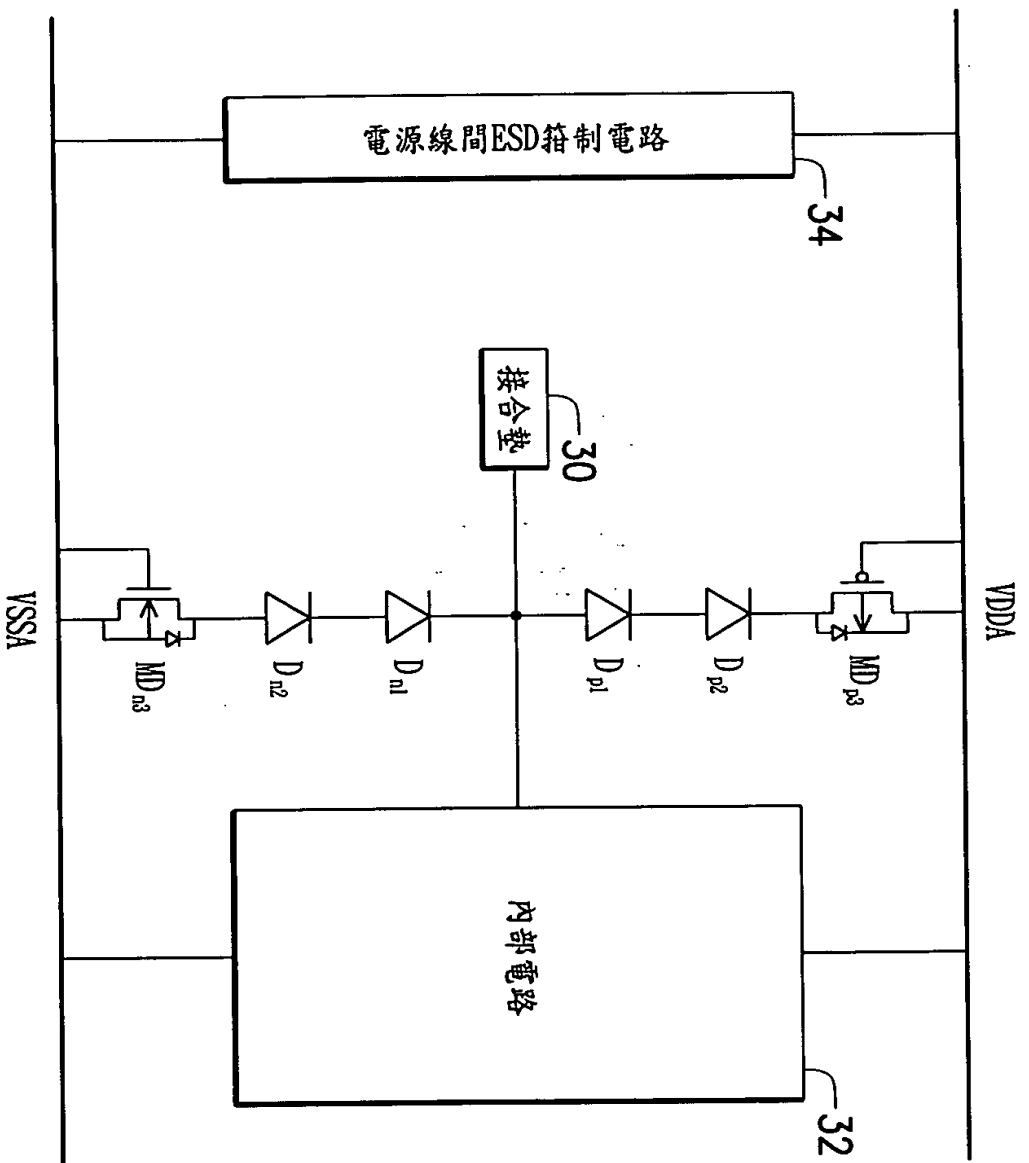
第15圖



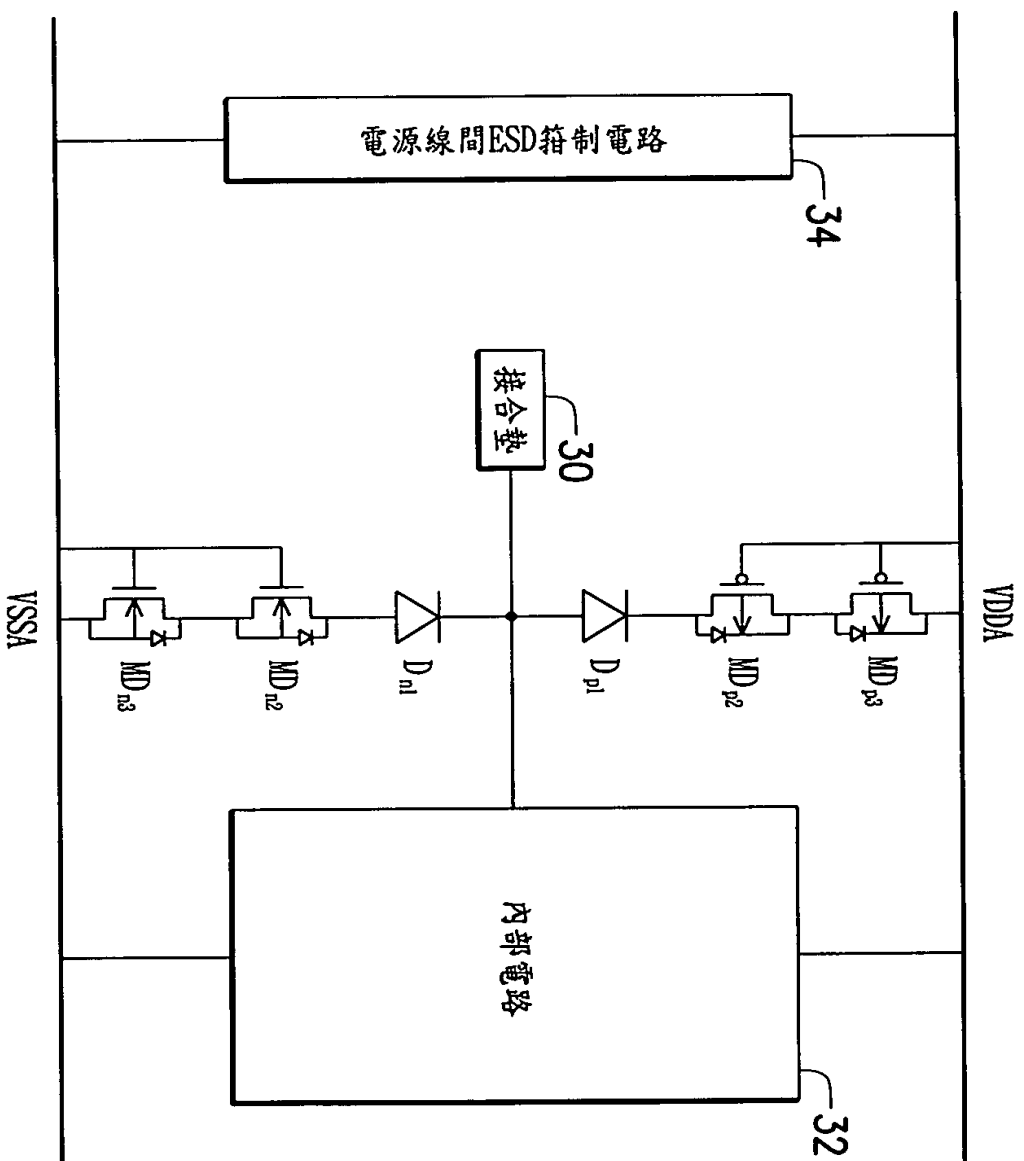
第16圖



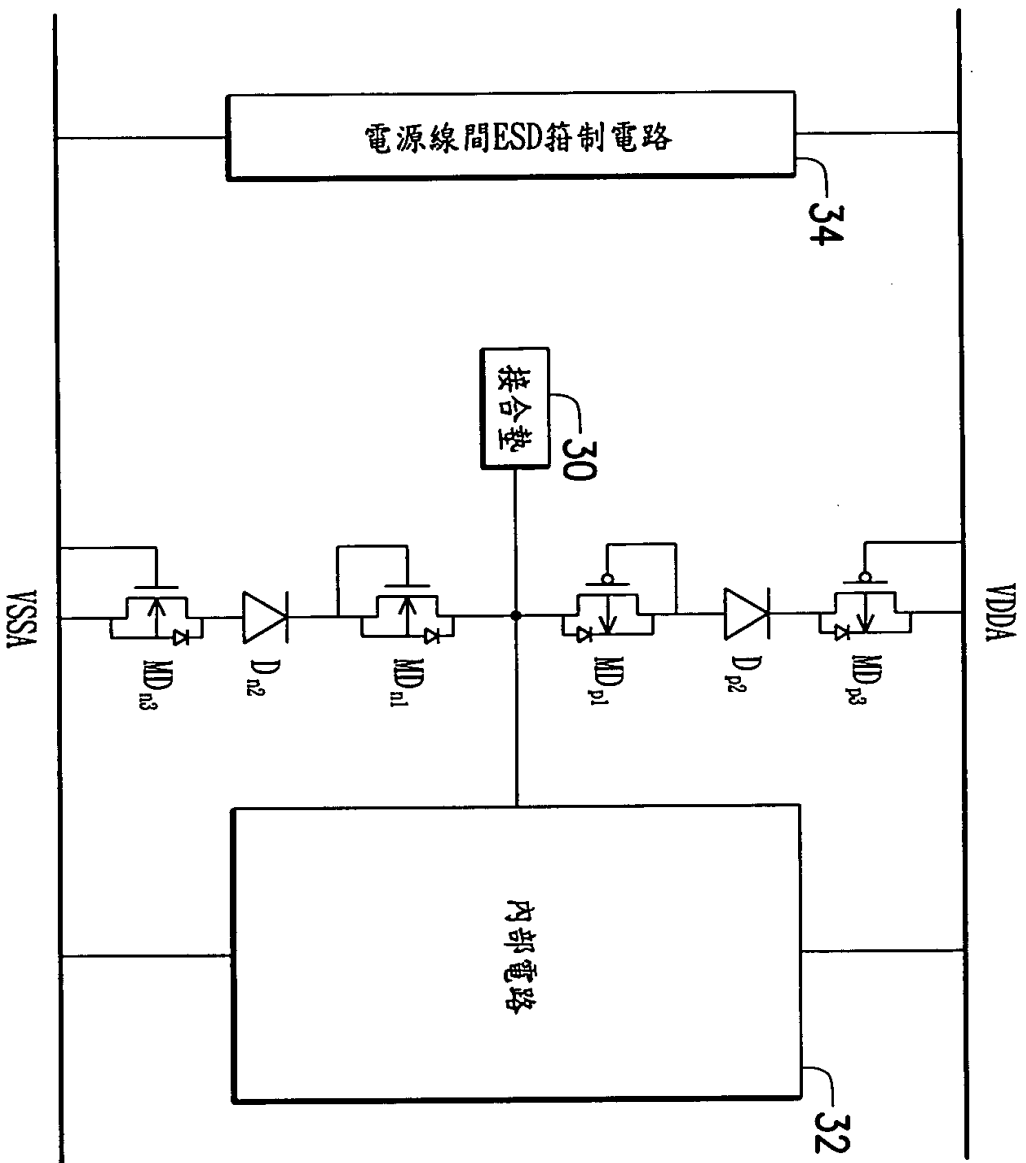
第17圖



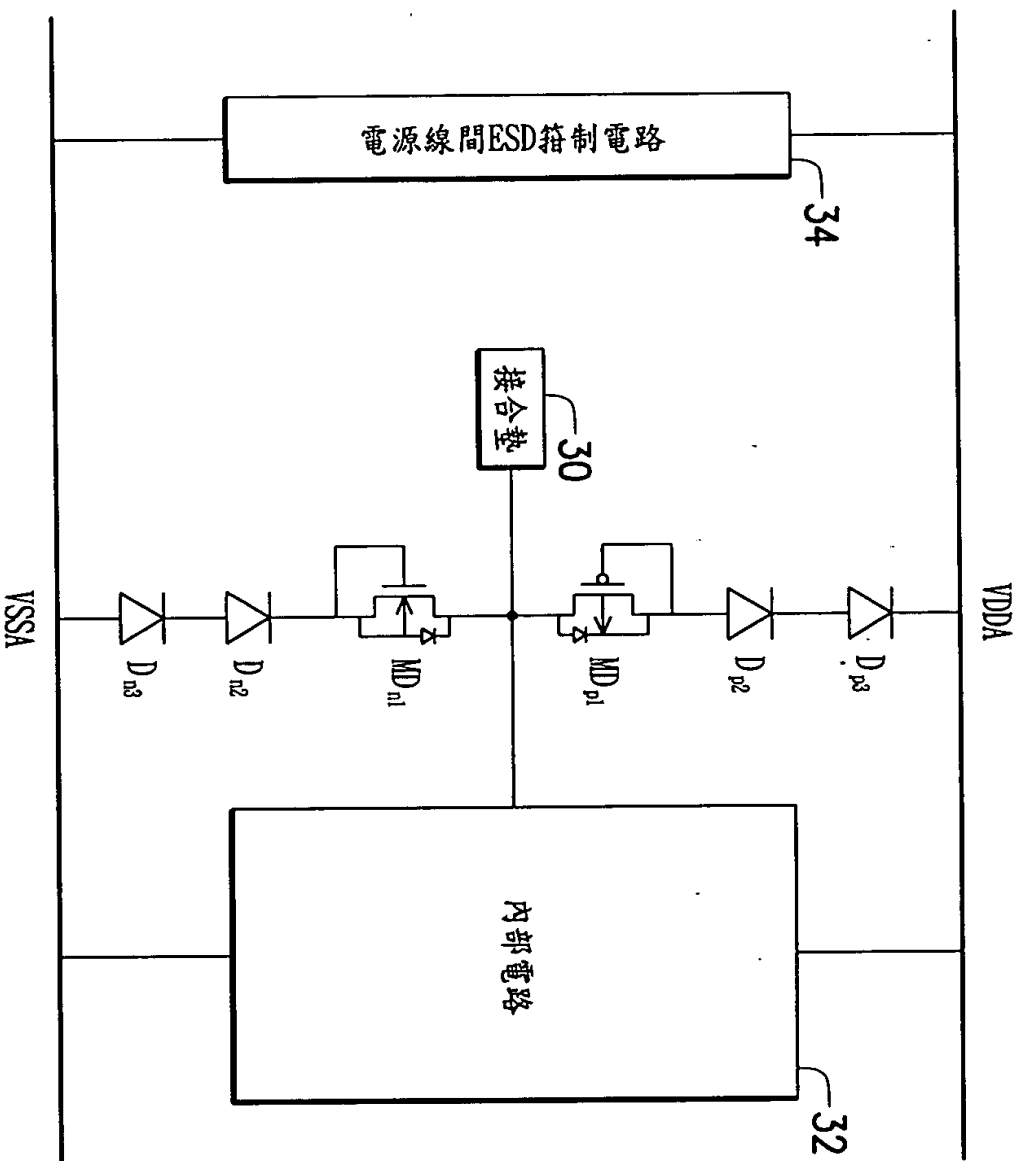
第18圖



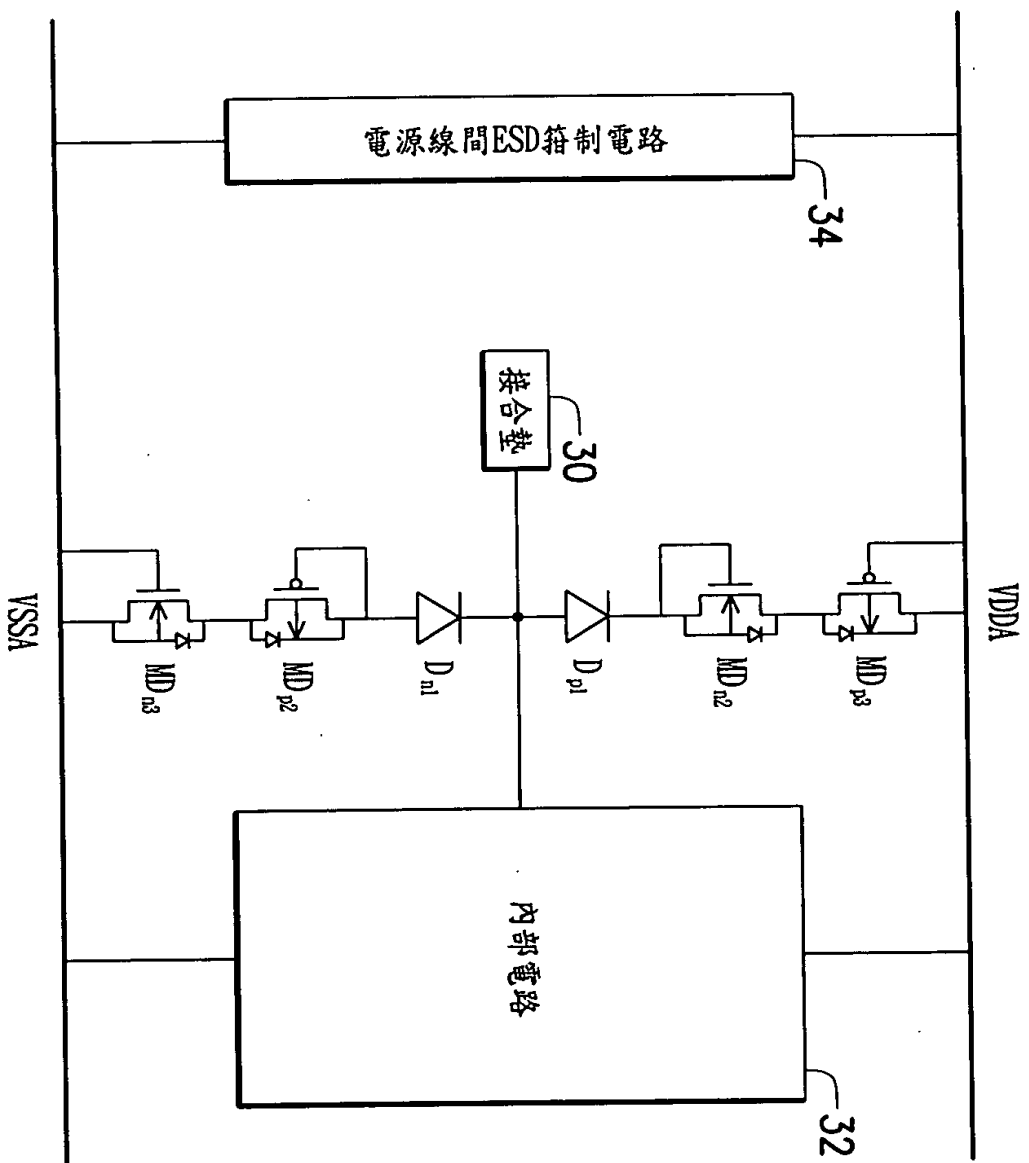
第19圖



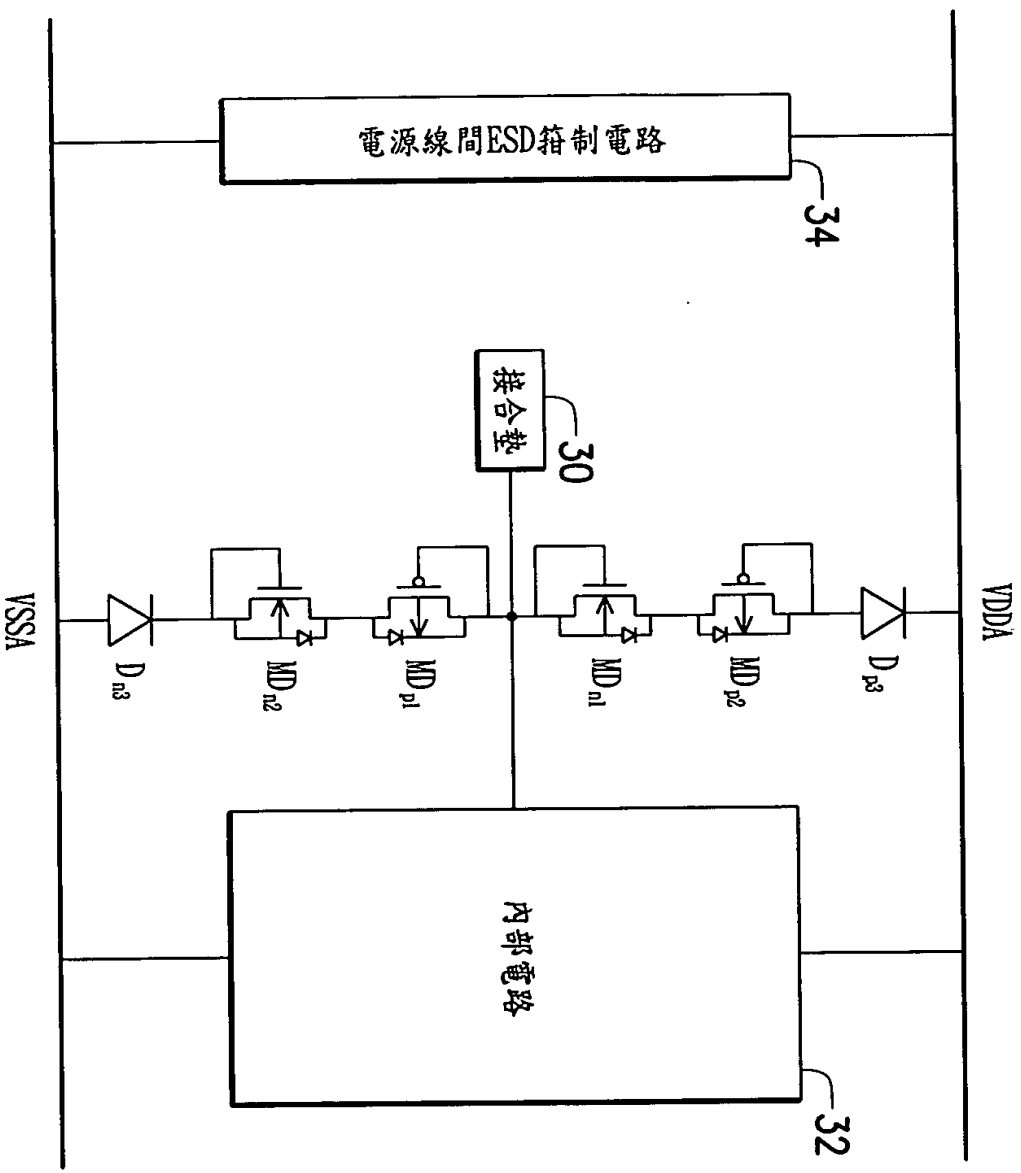
第20圖



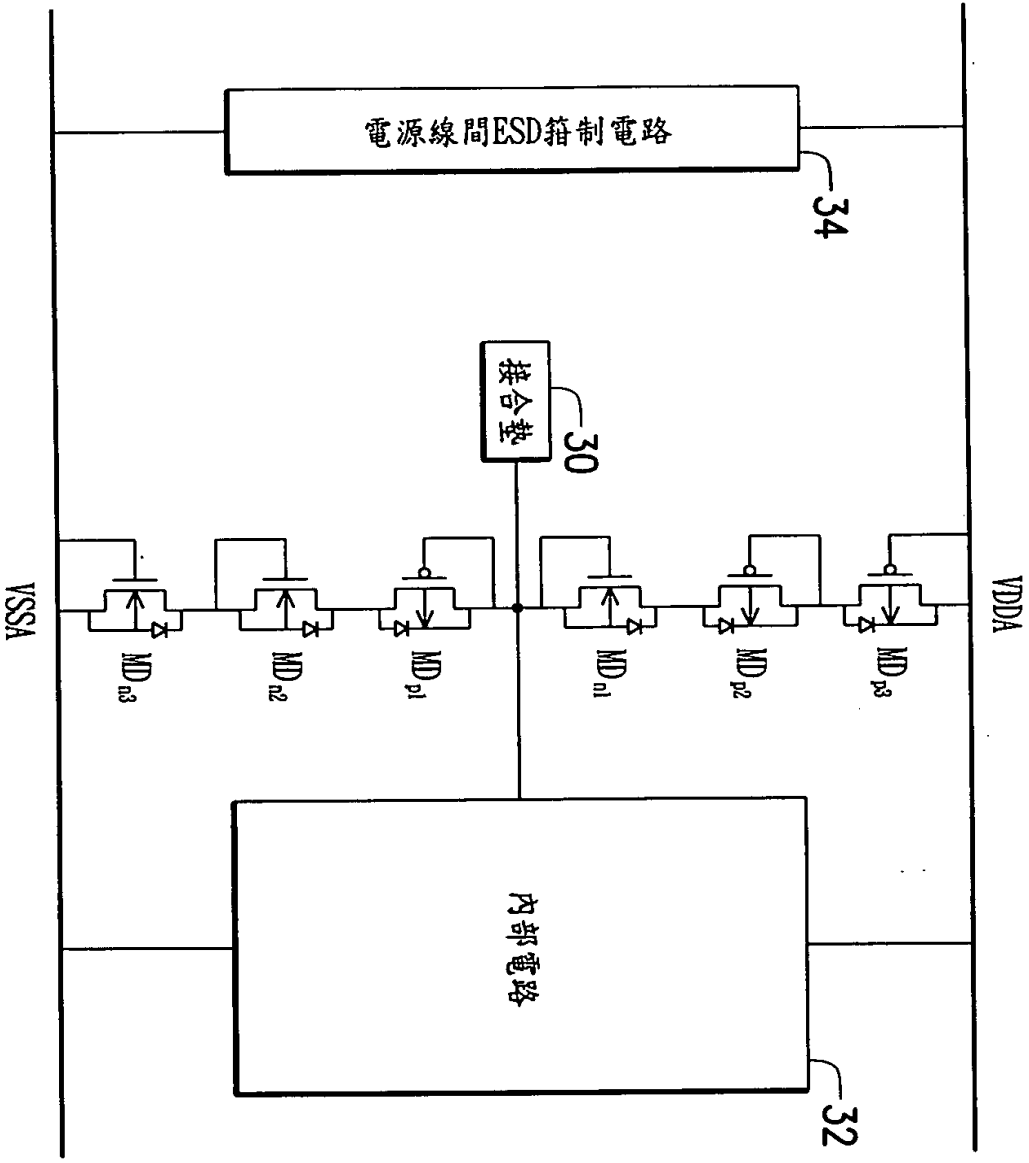
第21圖



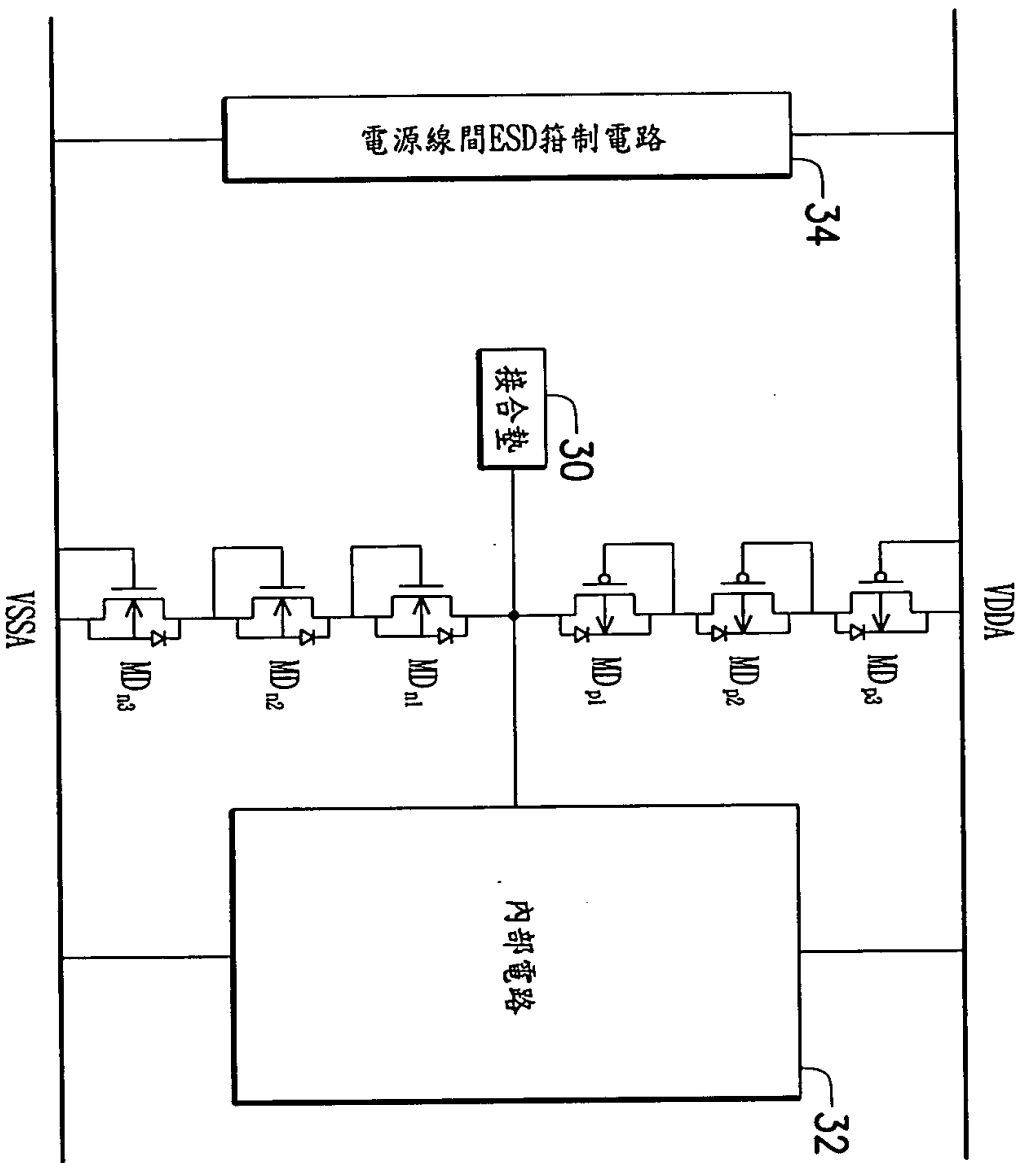
第22圖



第23圖

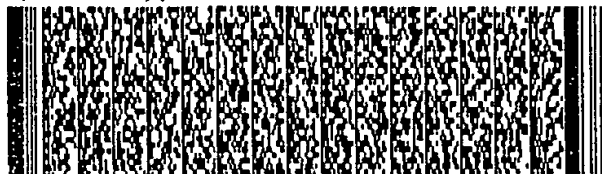


第24圖

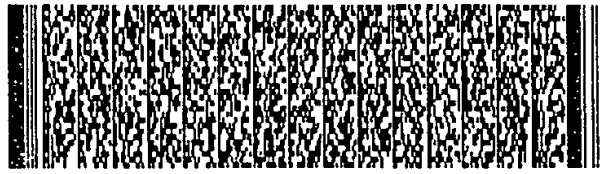


第25圖

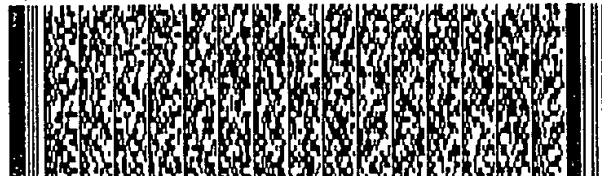
第 1/21 頁



第 2/21 頁



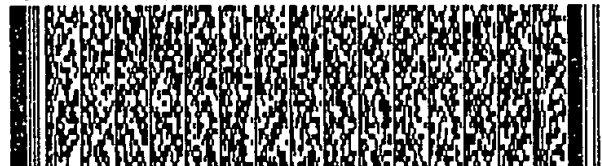
第 4/21 頁



第 4/21 頁



第 5/21 頁



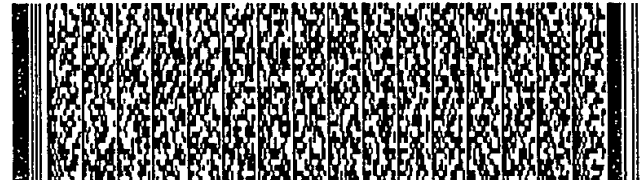
第 5/21 頁



第 6/21 頁



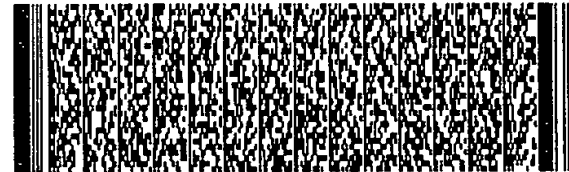
第 6/21 頁



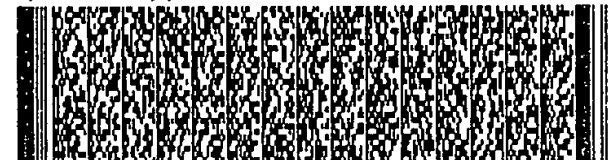
第 7/21 頁



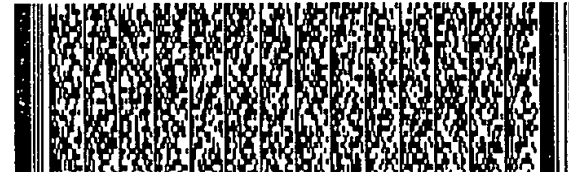
第 7/21 頁



第 8/21 頁



第 8/21 頁



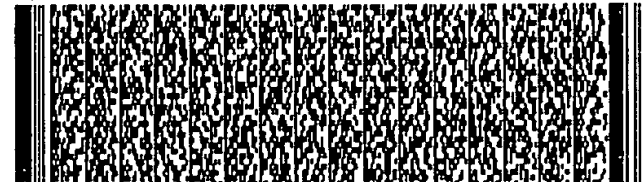
第 9/21 頁



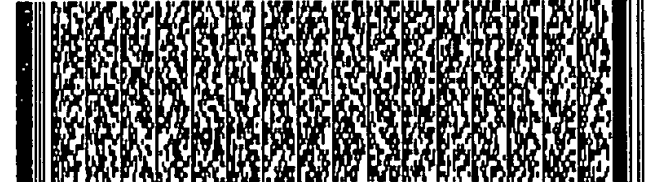
第 9/21 頁



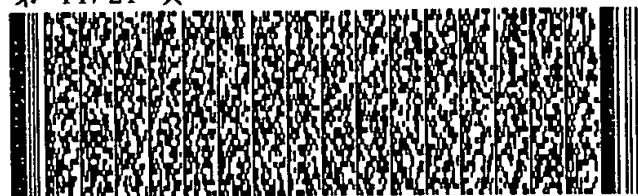
第 10/21 頁



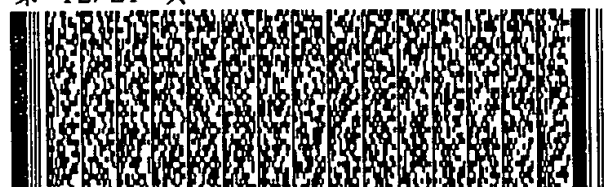
第 11/21 頁



第 11/21 頁



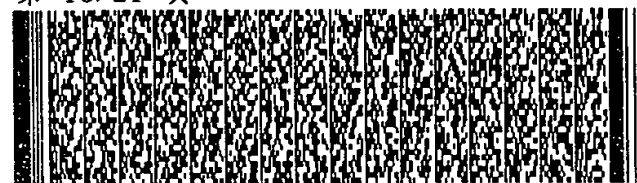
第 12/21 頁



第 12/21 頁



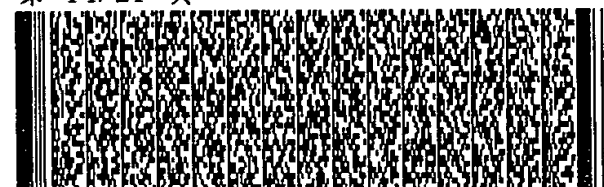
第 13/21 頁



第 13/21 頁



第 14/21 頁



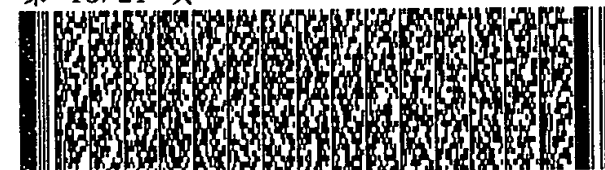
第 14/21 頁



第 15/21 頁



第 15/21 頁



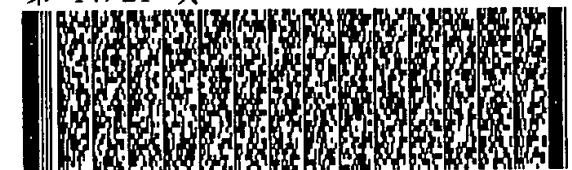
第 16/21 頁



第 16/21 頁



第 17/21 頁



第 17/21 頁



第 18/21 頁



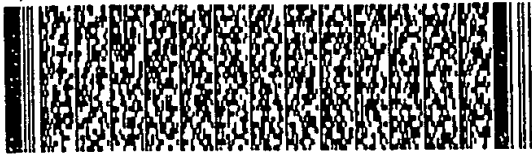
第 18/21 頁



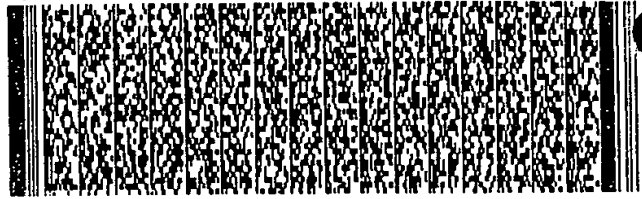
第 19/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

